

**Settembre 2003**

## **Prova A**

### **Esercizio 1 (17 punti)**

Si progetti un circuito che, presi in input due stringhe binarie, dà in output 1 se e solo se la somma dei valori binari associati alle due stringhe ricevuti fino a quel momento è un multiplo di 8. Si assuma che la prima cifra ricevuta sia la cifra più significativa del valore binario associato alla stringa stessa. Per esempio

**Input:** 100001...

100010...

**Ouput:** 001100...

Si segua lo schema di sintesi visto a lezione, inclusa la minimizzazione dell'automa e la semplificazione delle espressioni booleane ottenute dalle mappe di Karnaugh tramite porte NAND, NOR, XOR e NXOR (se possibile). Si usino flip-flop di tipo JK e si utilizzi un modulo di somma aritmetica standard (ovvero: non occorre progettare il circuito sommatore). (**Importante:** tutta la "difficoltà" dell'esercizio sta nella progettazione dell'automa; pertanto 8 punti saranno assegnati solo per questa parte dell'esercizio, il resto al progetto complessivo del circuito).

### **Esercizio 2 (17 punti)**

Sono dati otto registri S0, S1, S2, S3, D0, D1, D2, D3 da 8 bit ciascuno. Si vogliono realizzare i seguenti trasferimenti:

1. se la somma dei valori in S0 e S1 è maggiore della somma dei valori in S2 e S3 allora  $D_i = S_i$
2. se la somma dei valori in S0 e S1 è minore della somma dei valori in S2 e S3 allora

$$D_i = S_{(i+1) \bmod 4}$$

3. altrimenti  $D_i = \overline{S_i}$  (dove  $\overline{S_i}$  è il complemento bit a bit di  $S_i$ )

I trasferimenti sono abilitati da un segnale esterno GO. Inoltre, si ha un segnale esterno MOVE che, se vale 1, trasferisce  $D_i$  in  $S_i$ , altrimenti trasferisce  $D_i$  in  $S_{(i-1) \bmod 4}$ .

Si progetti in dettaglio il circuito in grado di realizzare il comportamento descritto; si possono utilizzare i moduli predefiniti per somma e confronto tra numeri naturali visti a lezione.

**Settembre 2003**

**Prova B**

**Esercizio 1 (6 punti)**

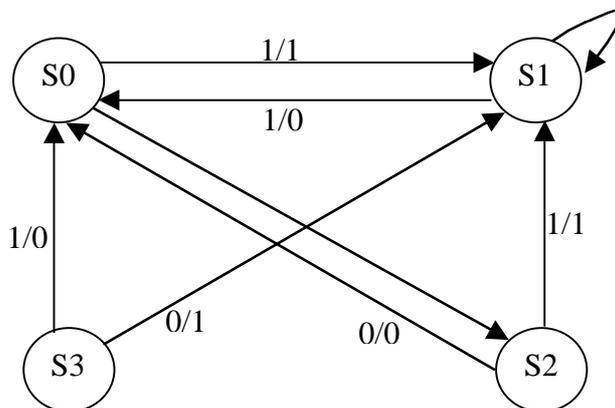
Si consideri il numero rappresentato in base 6 : 4521 . Se ne calcoli la rappresentazione in base 2; infine si sottragga al numero così ottenuto la rappresentazione binaria del numero esadecimale 5AE. Si usino parole da 12 bit.

**Esercizio 2 (9 punti)**

Dare lo schema di un comparatore per numeri binari e, seguendo lo schema di sintesi per reti combinatorie, progettare la cella comparatrice.

**Esercizio 3 (15 punti)**

Dato l'automata:



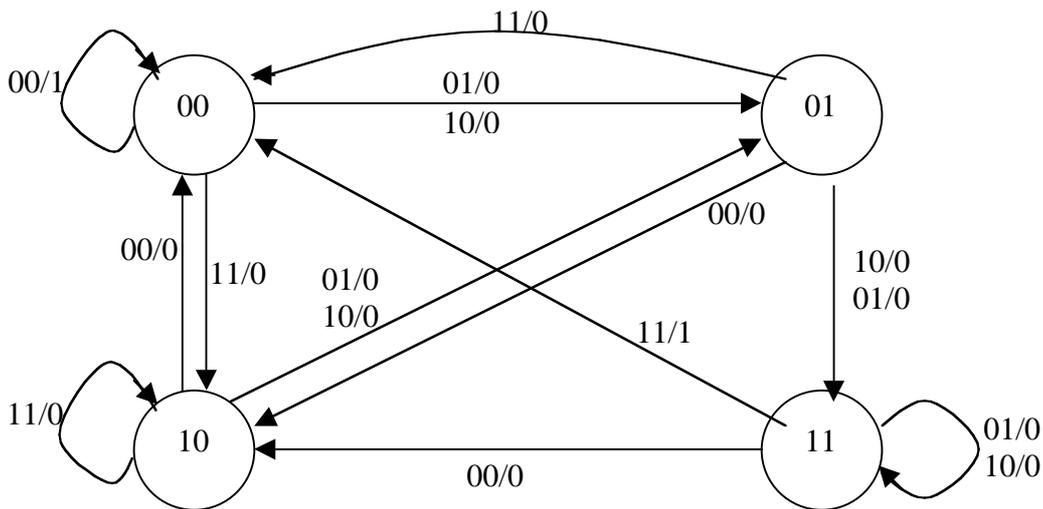
- a) disegnare il diagramma temporale per la sequenza di ingresso 01001001 specificando stati e ed uscita;

minimizzare l'automata e, seguendo lo schema di sintesi, progettare la rete sequenziale usando flip-flop di tipo D e disegnarla.

## SOLUZIONI A – Esercizio 1

Poichè non si richiedeva il progetto di un sommatore aritmetico (nella speranza che ciò sia noto) l'esercizio consiste essenzialmente nella progettazione di un automa che riconosce se una stringa rappresenta un intero divisibile per  $8=2^3$ . Ciò è vero, banalmente, se gli ultimi 3 bit della somma dei bit ricevuti sono uguali ad 0. (1000, 11000, 100000..)

Vale la pena realizzare l'automata associando agli stati gli ultimi due bit della rappresentazione binaria della somma dei due valori di input ricevuti fino a quel momento. Pertanto si avrà



Ad esempio, nello stato in cui gli ultimi due bit della somma corrente sono 01, se arrivano gli input 1 e 1, avrò:  $1+1=0$  e  $\text{carry}=1$ . Gli ultimi tre bit della somma diventeranno pertanto  $010+1+1=100$ , perciò si transita nello stato S0 e l'output è zero (la somma non è divisibile per 8)

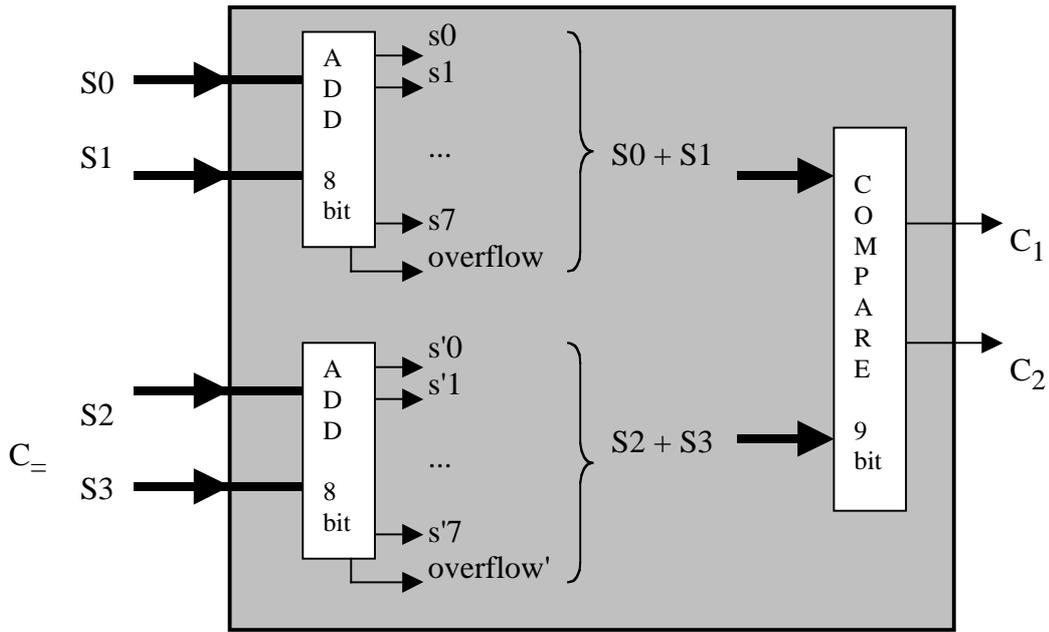
In rappresentazione tabellare l'automata è

	<b>00</b>	<b>01</b>	<b>10</b>	<b>11</b>
<b>S0</b>	S0/1	S1/0	S1/0	S2/0
<b>S1</b>	S2/0	S3/0	S3/0	S0/0
<b>S2</b>	S0/0	S1/0	S1/0	S2/0
<b>S3</b>	S2/0	S3/0	S3/0	S0/1

## Esercizio 2

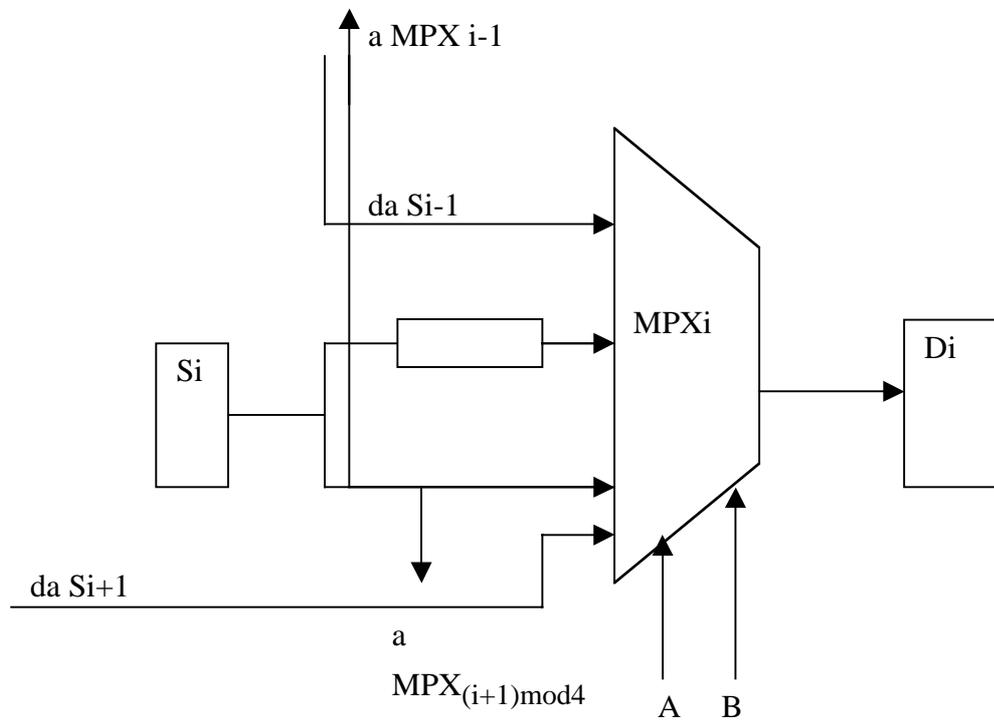
Realizziamo separatamente il circuito di controllo e quelli per l'interconnessione.

Circuito di Controllo :



Dove  $C_1 C_2$  segnalano, ad es, le condizioni  $>$  e  $=$  le 3 condizioni.  $C_1$ ,  $C_2$  e  $MOVE$  possono essere codificati in due bit  $A$  e  $B$ , per realizzare uno dei 4 possibili trasferimenti:  
 $S_i \rightarrow D_i$   $\bar{S}_i \rightarrow D_i$   $S_{i-1} \rightarrow D_i$   $S_{i+1} \rightarrow D_i$

Si possono poi usare dei multiplexer per effettuare i trasferimenti richiesti.



## Soluzioni Compito B

### Esercizio 1

Convertiamo il numero  $4521_6$  in base 10:

$$4521_6 = 4 \times 6^3 + 5 \times 6^2 + 2 \times 6 + 1 \times 1 = 1057$$

che, convertito in base 2 dà  $010000100001$ . Il numero esadecimale  $5AE$  è invece rappresentato in base 2 da  $010110101110$ , il cui complemento a 2 è  $101001010010$ . Quindi la differenza dei due numeri (pari alla somma del primo per il complemento a 2 del secondo) è

$$\begin{array}{r} 010000100001 + \\ 101001010010 = \end{array}$$

---

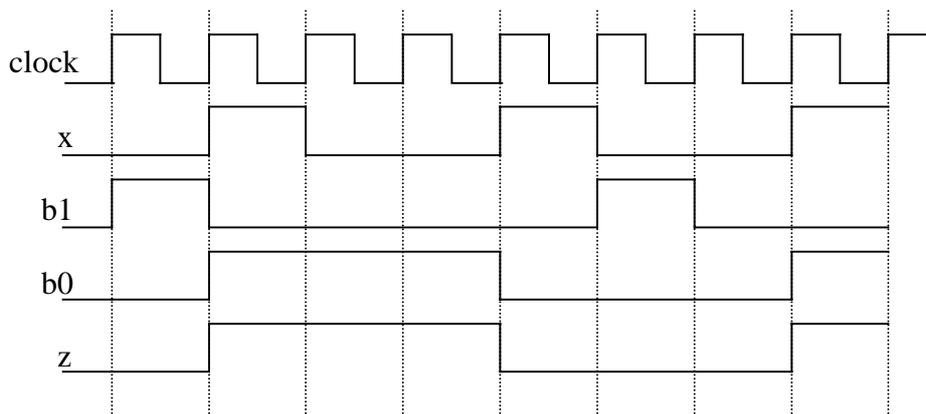
$$111001110011$$

### Esercizio 2

Vedi Appunti del corso, oppure Preparata pag. 132-134.

### Esercizio 3

a) Codificando gli stati con due bit,  $b_1b_0$ , come:  $S_0=00$   $S_1=01$   $S_2=10$   $S_3=11$  si ottiene il diagramma temporale:



b) L'automa può essere rappresentato dalla seguente tabella:

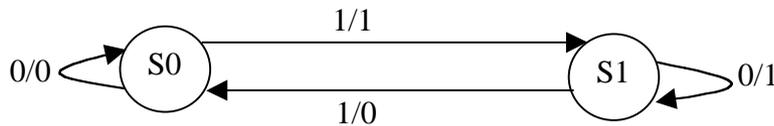
	<b>0</b>	<b>1</b>
<b>S0</b>	S2/0	S1/1
<b>S1</b>	S1/1	S0/0
<b>S2</b>	S0/0	S1/1
<b>S3</b>	S1/1	S0/0

Per minimizzare si utilizza la tabella triangolare:

S1	X		
S2		X	
S3	X		X
	S0	S1	S2

Notate che S0 e S2 sono anche essi equivalenti!!!! Infatti, se ricevono uno zero, S0 transita in S2 e S2 in S0.

L automa minimo si presenta come:



e rappresenta un controllore di parità.

La tabella degli stati futuri :

<b>x</b>	<b>q</b>	<b>Q</b>	<b>z</b>	<b>J</b>	<b>K</b>
0	0	0	0	0	x
0	1	1	1	x	0
1	0	1	1	1	x
1	1	0	0	x	1

da cui minimizzando con Karnaugh si ricavano le espressioni:

$$J = x, \quad K = x, \quad z = x \text{ XOR } q$$

Il circuito è:

