

# ESAME DI ARCHITETTURA I

Martedì, 19 Febbraio 2002 ore 14

## COMPITO A

### Esercizio 1 (20 punti)

Si progetti il circuito di controllo di un ascensore che rilevi i seguenti eventi

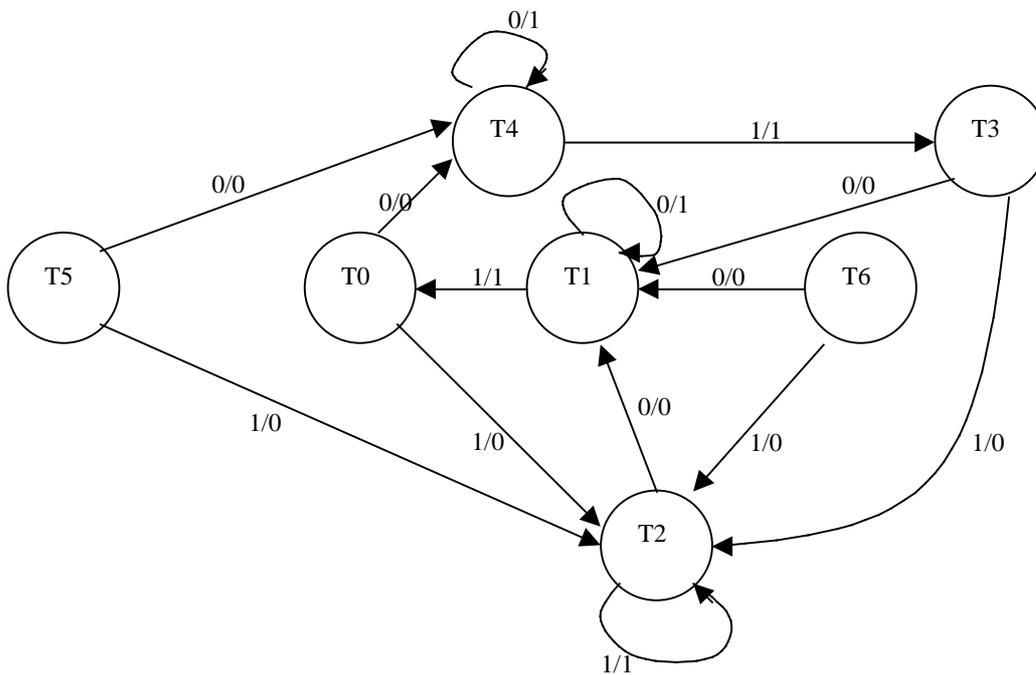
- chiusura delle porte difettosa
- arresto brusco al piano
- tempo di risposta alla chiamata lento
- fermata improvvisa durante la corsa

e che dia in output un segnale di *warning* ogni volta che si verificano almeno due di questi eventi simultaneamente (cioè nella stessa corsa dell'ascensore).

Successivamente si estenda il circuito ottenuto con un dispositivo che, se rileva tre segnali di *warning* consecutivi, chiama automaticamente l'assistenza tecnica.

### Esercizio 2 (10 punti)

Sia dato il seguente automa con stato iniziale T0:



Lo si minimizzi e si dia, tramite diagrammi temporali, l'output e le transizioni di stato ottenuti in corrispondenza della stringa di input 110001001001 (N.B.: si consideri l'automata realizzato mediante un circuito ideale, cioè senza ritardi).

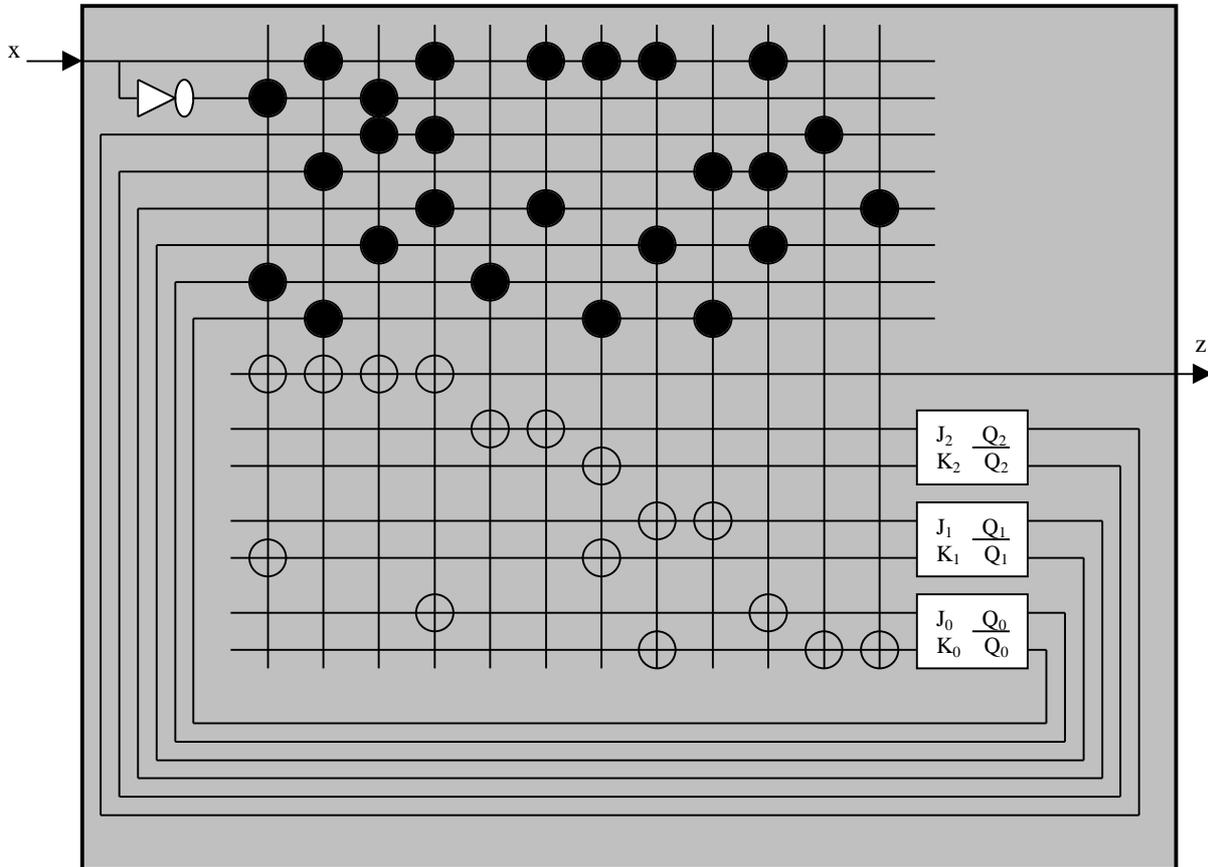
# ESAME DI ARCHITETTURA I

Martedì, 19 Febbraio 2002 ore 14

## Compito B

### Esercizio 1 (18 punti)

Si minimizzi il seguente circuito



(Suggerimento: si minimizzi l'automa associato al circuito dato e dall'automa minimo si ricavi il circuito minimo).

### Esercizio 2 (12 punti)

Si considerino le funzioni booleane  $f(x, y, z, t)$  e  $g(x, y, z, t)$  tali che:

- $f$  dà 1 se e solo se la stringa  $xyzt$  contiene un numero pari di 1;
- $g$  dà 1 se e solo se la stringa  $xyzt$  vista come numero intero è divisibile per 2.

Si diano per  $f$  e  $g$ : la forma canonica congiuntiva e disgiuntiva, la minima forma SOP e POS ed infine la minima espressione booleana (ottenuta usando le porte composte, cioè NAND, NOR, ...)

## **ESAME DI ARCHITETTURA I**

Martedì, 19 Febbraio 2002 ore 14

### **Compito C**

#### **Esercizio 1**

Un circuito combinatorio riceve in ingresso la codifica di un intero  $x$  con  $0 \leq x \leq 12$  e produce in uscita  $f(x) = x + 3$ .

a) Progettare il circuito usando porte logiche.

b) Il valore  $f(x)$  viene posto in un registro R PIPO Parallel Input Parallel Output e con opportuna sincronizzazione viene trasferito nel registro PIPO R1 se  $x \geq 7$  in R2 (PIPO) altrimenti. Tracciare lo schema di interconnessione tra i registri evidenziando i segnali di controllo e spiegandone il significato.

#### **Esercizio 2**

a) Progettare seguendo lo schema formale di sintesi un contatore sincrono mod 10.

b) Mostrare lo schema di un contatore asincrono mod 10 e dare una sintetica spiegazione del suo funzionamento

## ESAME DI ARCHITETTURA I

Martedì, 19 Febbraio 2002 ore 14

### Compito D

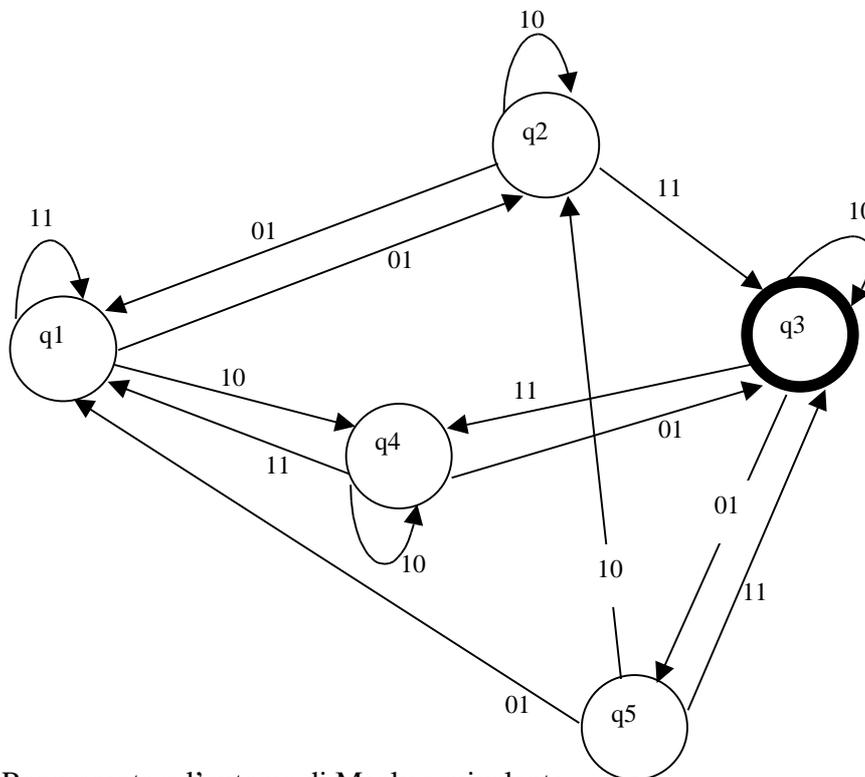
#### Esercizio 1

Una rete combinatoria ha sulle linee di ingresso la codifica binaria di un intero  $x$ ,  $0 \leq x \leq 7$ , e sulle linee di uscita la codifica binaria  $y = f(x)$  con  $f(x) = 3x + 2$

Progettare la rete usando a) una ROM, b) solo porte NAND.

#### Esercizio 2

Si consideri il seguente automa di Moore, in cui lo stato finale è rappresentato con la linea spessa:



- Rappresentare l'automata di Mealy equivalente,
- verificare se l'automata di Mealy ottenuto è minimizzabile;
- riportare su diagramma temporale la rappresentazione degli stati e l'uscita prodotta quando si ricevono le due sequenze  $x$  e  $y$  (sugli archi di transizione dell'automata il primo bit fa parte della sequenza  $x$  e il secondo della sequenza  $y$ ):  $x = 0111010$  e  $y = 1011101$ .



## ESAME DI ARCHITETTURA I

Martedì, 19 Febbraio 2002 ore 14

### COMPITO F

#### Esercizio 1 (14 punti)

Progettare il circuito sequenziale minimo che produce un "1" quando gli ultimi 4 bit ricevuti corrispondono ad una delle sequenze: 0011, 0000, 0110 dove il primo bit ricevuto è quello più a sinistra.

#### Esercizio 2 (16 punti)

Siano dati 3 registri paralleli, A B e R, e due segnali di controllo, c1c0.

- Progettare il circuito che realizza le seguenti operazioni:  
se c1c0=(0,0) nessuna operazione (NOP)  
se c1c0=(0,1) esegui A+B e trasferisci il risultato in R (+ è la somma aritmetica)  
se c1c0=(1,0) esegui A-B e trasferisci il risultato in R  
se c1c0=(1,1) esegui -A+B e trasferisci il risultato in R

Notare che le quantità memorizzate nei registri sono rappresentate in complemento a 2.

- Definire formalmente la rappresentazione in complemento a 2.

## Compito A

### ES.1

La prima parte dell'esercizio richiede di progettare un circuito combinatorio per una funzione booleana (e quindi non sono richiesti FF). Associamo ad ogni evento una variabile booleana:

- chiusura delle porte difettosa → C
- arresto brusco al piano → A
- tempo di risposta alla chiamata lento → T
- fermata improvvisa durante la corsa → F
- segnale di warning → W

La funzione booleana è:

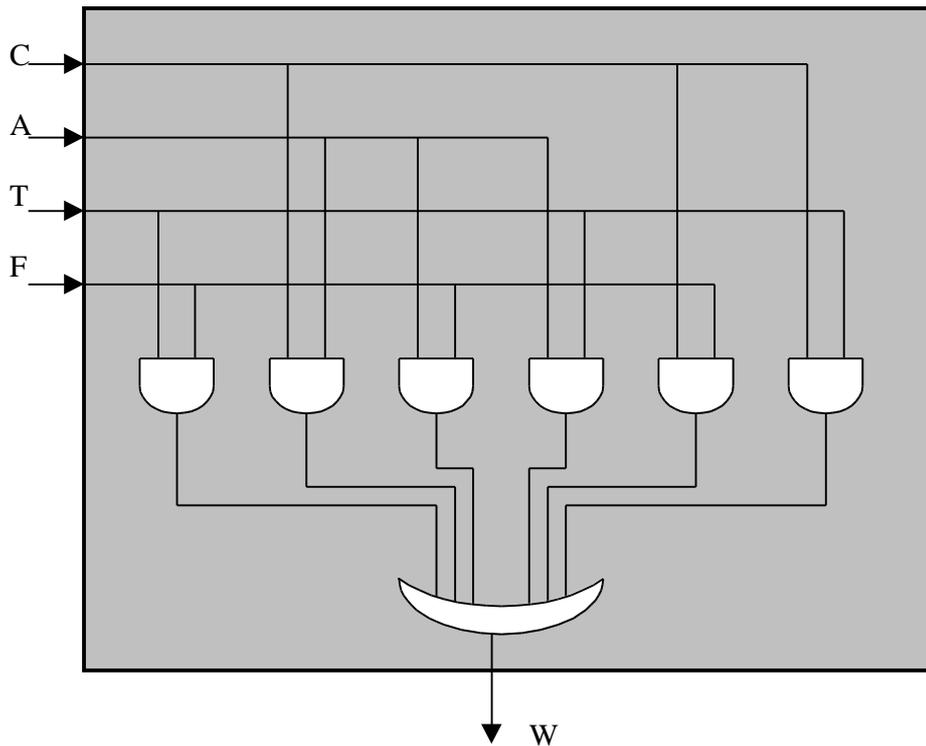
C	A	T	F	W
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Utilizzando le mappe di K. si ottiene:

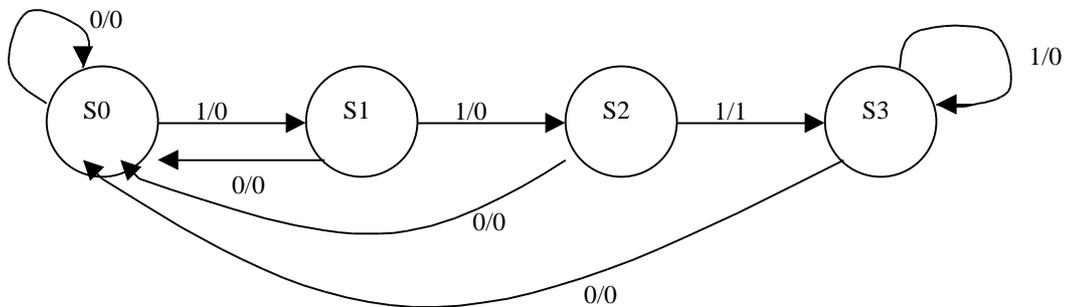
		T	F							
				0	0	1	1	1	1	0
C	A									
0	0	0	0	0	1	1	1	1	0	0
0	1	0	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	1	1	1

da cui  $W = T F + C A + A F + A T + C F + C T$

Il circuito ottenuto è pertanto:



Per risolvere la seconda parte dell'esercizio bisogna dare in input il segnale di warning W ad una rete sequenziale che dia 1 (che equivale alla chiamata al servizio di assistenza) se e solo se riceve tre 1 consecutivi in input. Ciò è modellato dal seguente automa con stato iniziale S0.



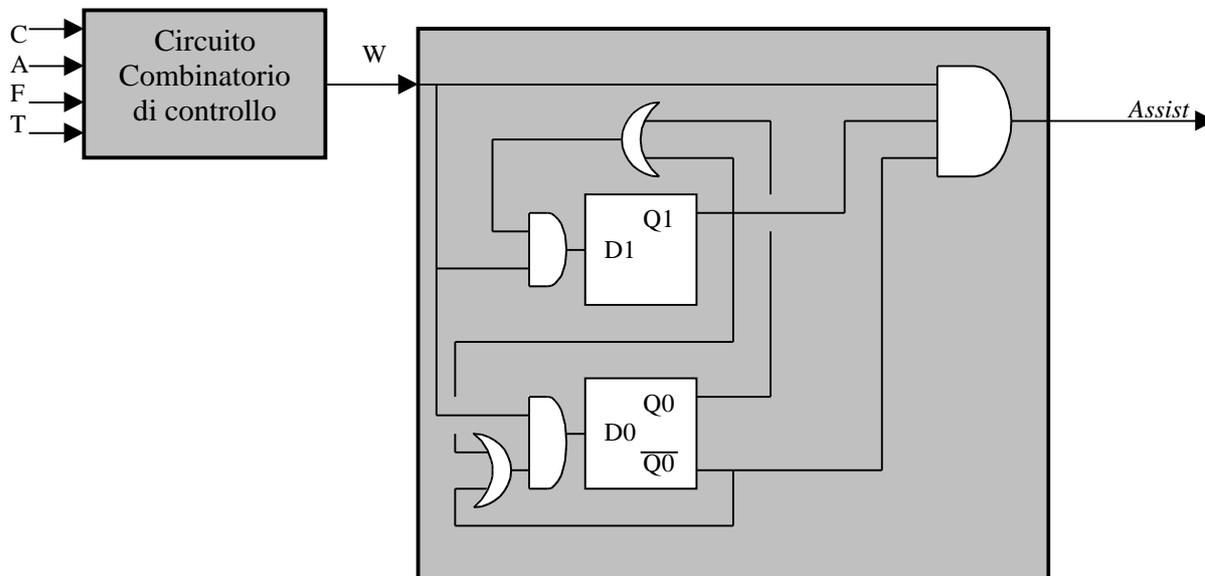
La transizione da S3 con input 1 dà in output 0 perché è inutile continuare a chiamare il servizio di assistenza. Usando FF di tipo D, la tabella degli stati futuri è

W	Q1 (t)	Q0 (t)	Q1 (t+1)	Q0 (t+1)	Assist (t)	D1 (t)	D0 (t)
0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0
0	1	0	0	0	0	0	0
0	1	1	0	0	0	0	0
1	0	0	0	1	0	0	1
1	0	1	1	0	0	1	0
1	1	0	1	1	1	1	1
1	1	1	1	1	0	1	1

da cui (usando le mappe di K.) si ha che

$$Assist = W Q1 \overline{Q0} \quad D1 = W ( Q1 + Q0 ) \quad D0 = W ( Q1 + \overline{Q0} )$$

e quindi la rete sequenziale desiderata:



### ES.2

In forma tabellare, l'automa è

Stato	Input = 0	Input = 1
T0	T4 / 0	T2 / 0
T1	T1 / 1	T0 / 1
T2	T1 / 0	T2 / 1
T3	T1 / 0	T2 / 0
T4	T4 / 1	T3 / 1
T5	T4 / 0	T2 / 0
T6	T1 / 0	T2 / 0

da cui si può vedere che, con stato iniziale T0, T5 e T6 sono irraggiungibili (e quindi possono essere eliminati). Passiamo all'algoritmo di minimizzazione:

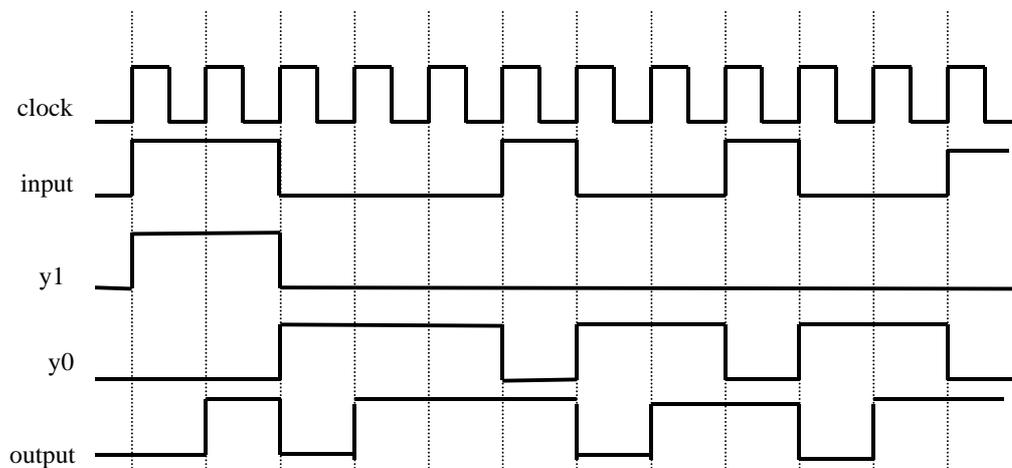
T1	X			
T2	X	X		
T3		X	X	
T4	X		X	X
	T0	T1	T2	T3

da cui le classi di stati equivalenti sono  $S0 = \{T0, T3\}$  ,  $S1 = \{T1, T4\}$  e  $S2 = \{T2\}$  .

Pertanto l'automa minimo è:

Stato	Input = 0	Input = 1
S0	S1 / 0	S2 / 0
S1	S1 / 1	S0 / 1
S2	S1 / 0	S2 / 1

Supponiamo di avere un clock con transizioni regolari; il diagramma temporale per gli stati e l'output è il seguente (dove  $S0 \rightarrow y1 y0 = 00$  ,  $S1 \rightarrow y1 y0 = 01$  ,  $S2 \rightarrow y1 y0 = 10$ ) :



# Compito B

## SOLUZIONI

### ES.1

Le espressioni booleane sono:

$$Z = \bar{x}Q0 + x\bar{Q2}Q0 + \bar{x}Q2\bar{Q1} + xQ2Q1 \quad , \quad J1 = x\bar{Q1} + \bar{Q2}Q0 \quad , \quad K1 = x\bar{Q0} + \bar{x}Q0$$

$$J2 = Q0 + xQ1 \quad , \quad K2 = x\bar{Q0} \quad , \quad J0 = xQ2Q1 + x\bar{Q2}\bar{Q1} \quad , \quad K0 = Q2 + Q1 + x\bar{Q1}$$

La tabella degli stati futuri è

x	Q2	Q1	Q0	Z (t)	J2	K2	J1	K1	J0	K0	Q2	Q1	Q0
(t)				(t)							(t+1)		
0	0	0	0	0	0	0	1	0	0	0	0	1	0
0	0	0	1	1	1	0	0	1	0	0	1	0	1
0	0	1	0	0	0	0	1	0	0	1	0	1	0
0	0	1	1	1	1	0	0	1	0	1	1	0	0
0	1	0	0	1	1	0	0	0	0	1	1	0	0
0	1	0	1	1	1	0	0	1	0	1	1	0	0
0	1	1	0	0	0	0	0	0	0	1	1	1	0
0	1	1	1	1	1	0	0	1	0	1	1	0	0
1	0	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	1	0	1	0	1	0	1	1	1	1	0
1	0	1	0	1	1	1	1	1	0	1	1	0	0
1	0	1	1	0	1	0	0	0	0	1	1	1	0
1	1	0	0	0	0	1	1	1	0	1	0	1	0
1	1	0	1	0	1	0	1	0	0	1	1	1	0
1	1	1	0	1	1	1	0	1	1	1	0	0	1
1	1	1	1	1	1	0	0	0	1	1	1	1	0

Da cui si ottiene la tabella di transizione dell'automa associato:

	x = 0	x = 1
T0	T2 / 0	T3 / 1
T1	T5 / 1	T6 / 0
T2	T2 / 0	T4 / 1
T3	T4 / 1	T6 / 0
T4	T4 / 1	T2 / 0
T5	T4 / 1	T6 / 0
T6	T6 / 0	T1 / 1

T7    |    T4 / 0        T6 / 1

Con stato iniziale T0, T7 è irraggiungibile; pertanto la minimizzazione è

T1	X					
T2		X				
T3	X		X			
T4	X		X			
T5	X		X			
T6		X		X	X	X
	T0	T1	T2	T3	T4	T5

Pertanto gli stati equivalenti sono  $S0 = \{T0, T2, T6\}$  e  $S1 = \{T1, T3, T4, T5\}$ . Usiamo un solo FF di tipo JK (con l'associazione  $S0 \rightarrow Q = 0$  e  $S1 \rightarrow Q = 1$ ) e ricaviamo la tabella degli stati futuri per il circuito minimo:

x	Q	Z(t)	Q(t+1)	J	K
(t)	(t)			(t)	
0	0	0	0	0	-
0	1	1	1	-	0
1	0	1	1	1	-
1	1	0	0	-	1

Ricaviamo le EB:

$$Z = x \cdot Q \qquad J = K = x$$

e quindi il circuito minimo.

**ES.2**

La rappresentazione tabellare di  $f$  e  $g$  è:

x	y	z	t	f	g
0	0	0	0	1	1
0	0	0	1	0	0
0	0	1	0	0	1
0	0	1	1	1	0
0	1	0	0	0	1
0	1	0	1	1	0
0	1	1	0	1	1
0	1	1	1	0	0
1	0	0	0	0	1
1	0	0	1	1	0
1	0	1	0	1	1
1	0	1	1	0	0
1	1	0	0	1	1
1	1	0	1	0	0

$$\begin{array}{cccc|cc} 1 & 1 & 1 & 0 & 0 & 1 \\ 1 & 1 & 1 & 1 & 1 & 0 \end{array}$$

Indichiamo con  $m_i$  e  $M_i$  (per  $i = 0, \dots, 15$ ) il mintermine ed maxtermine associati alla riga  $i$ -esima della tabella. Ad esempio

$$m_2 = \bar{x} \cdot \bar{y} \cdot z \cdot \bar{t} \quad \text{e} \quad M_2 = \bar{x} + \bar{y} + z + \bar{t}$$

Con questo formalismo le forme canoniche sono:

$$FCD(f) = m_0 + m_3 + m_5 + m_6 + m_9 + m_{10} + m_{12} + m_{15}$$

$$FCC(f) = \overline{FCD(\bar{f})} = \overline{m_1 + m_2 + m_4 + m_6 + m_8 + m_{11} + m_{13} + m_{14}}$$

$$= \bar{m}_1 \cdot \bar{m}_2 \cdot \bar{m}_4 \cdot \bar{m}_6 \cdot \bar{m}_8 \cdot \bar{m}_{11} \cdot \bar{m}_{13} \cdot \bar{m}_{14} = M_{14} \cdot M_{13} \cdot M_{11} \cdot M_8 \cdot M_7 \cdot M_4 \cdot M_2 \cdot M_1$$

$$FCD(g) = m_0 + m_2 + m_4 + m_6 + m_8 + m_{10} + m_{12} + m_{14}$$

$$FCC(g) = \overline{FCD(\bar{g})} = \overline{m_1 + m_3 + m_5 + m_7 + m_9 + m_{11} + m_{13} + m_{15}}$$

$$= \bar{m}_1 \cdot \bar{m}_3 \cdot \bar{m}_5 \cdot \bar{m}_7 \cdot \bar{m}_9 \cdot \bar{m}_{11} \cdot \bar{m}_{13} \cdot \bar{m}_{15} = M_{14} \cdot M_{12} \cdot M_{10} \cdot M_8 \cdot M_6 \cdot M_4 \cdot M_2 \cdot M_0$$

Passiamo alle minime forme SOP e POS. Per quanto riguarda  $f$  è facile convincersi (facendo la mappa di Karnaugh) che le minime SOP e POS corrispondono rispettivamente alla FCC e FCD. Per  $g$  invece si ha:

$xy \quad zt$	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	1	0	0	1
10	1	0	0	1

da cui  $\text{minSOP}(g) = \bar{t}$

$xy \quad zt$	00	01	11	10
00	0	1	1	0
01	0	1	1	0
11	0	1	1	0
10	0	1	1	0

da cui  $\text{minPOS}(g) = \overline{\text{minPOS}(\bar{g})} = \bar{t}$

Infine, per quanto riguarda le minime espressioni booleane, è facile convincersi che per  $g$  l'espressione minima è la minSOP (o equivalentemente la minPOS). Per  $f$ , utilizzando porte XOR e NXOR (indicate rispettivamente  $\oplus$  e  $\oplus$ ) e fattorizzando opportunamente la FCC, si ha invece che

$$\text{minEB}(f) = (x \oplus y) \cdot (z \oplus t) + (x \oplus y) \cdot (z \oplus t)$$

# Soluzioni Compito C

## Esercizio 1

La tabella di verità è:

x	x3	x2	x1	x0	x+3	z3	z2	z1	z0
0	0	0	0	0	3	0	0	1	1
1	0	0	0	1	4	0	1	0	0
2	0	0	1	0	5	0	1	0	1
3	0	0	1	1	6	0	1	1	0
4	0	1	0	0	7	0	1	1	1
5	0	1	0	1	8	1	0	0	0
6	0	1	1	0	9	1	0	0	1
7	0	1	1	1	10	1	0	1	0
8	1	0	0	0	11	1	0	1	1
9	1	0	0	1	12	1	1	0	0
10	1	0	1	0	13	1	1	0	1
11	1	0	1	1	14	1	1	1	0
12	1	1	0	0	15	1	1	1	1
x	x	x	x	x	x	x	x	x	x
x	x	x	x	x	x	x	x	x	x
x	x	x	x	x	x	x	x	x	x

Le espressioni booleane ricavate dalle Mappe di Karnaugh sono (i letterali complementati sono sottolineati>):

\ x1 x0	00	01	11	10
x3 x2 \				
00	0	0	0	0
01	0	1	1	1
11	1	x	x	x
10	1	1	1	1

\ x1 x0	00	01	11	10
x3 x2 \				
00	0	1	1	1
01	1	0	0	0
11	1	x	x	x
10	0	1	1	1

$$z3 = x2 x0 + x2 x1 + x3$$

$$z2 = \overline{x2} x0 + \overline{x2} x1 + x2 \overline{x1} \overline{x0}$$

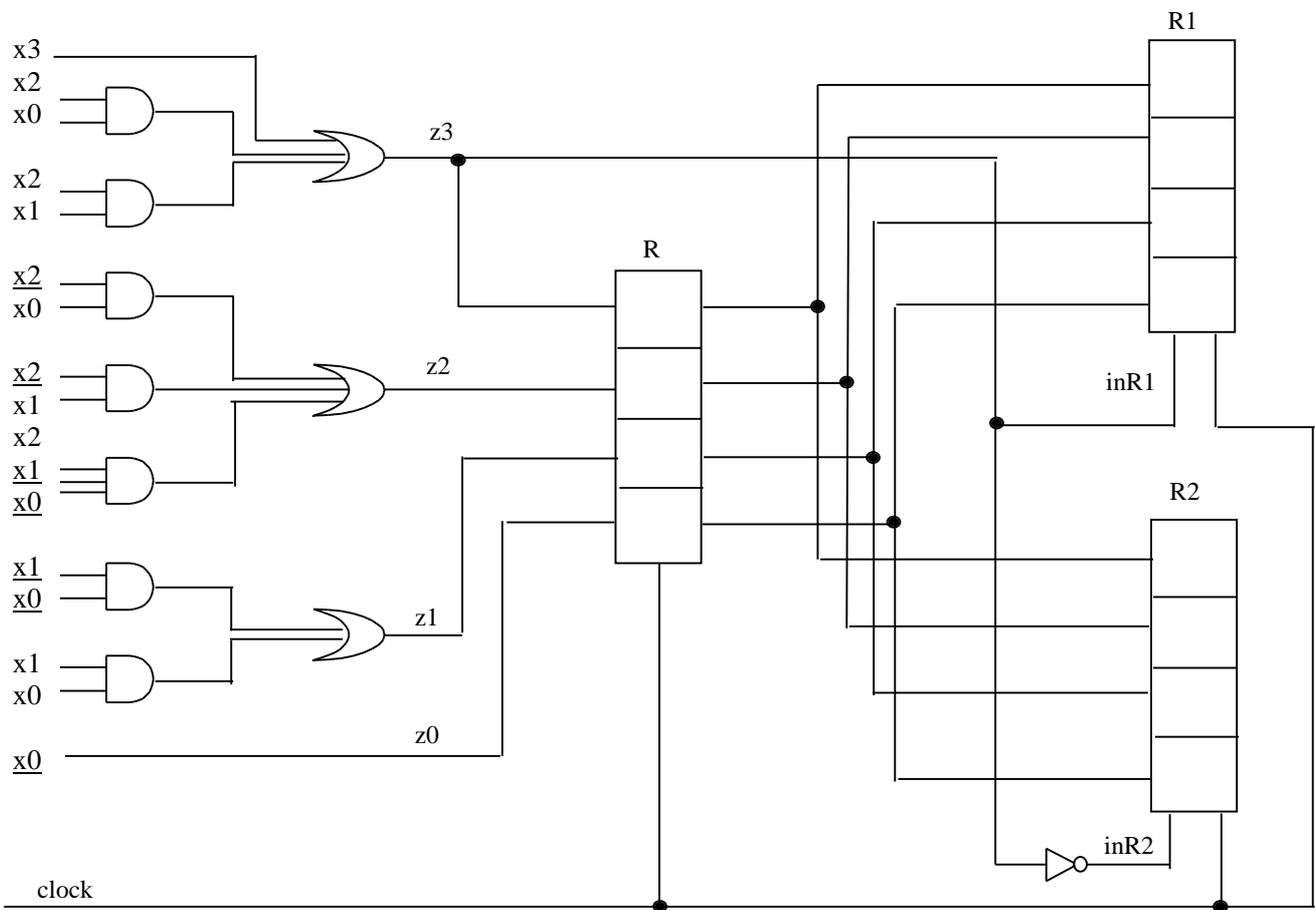
\ x1 x0	00	01	11	10
x3 x2 \				
00	1	0	1	0
01	1	0	1	0
11	1	x	x	x
10	1	0	1	0

\ x1 x0	00	01	11	10
x3 x2 \				
00	1	0	0	1
01	1	0	0	1
11	1	x	x	x
10	1	0	0	1

$$z1 = \overline{x1} \overline{x0} + x1 x0$$

$$z0 = \overline{x0}$$

Lo schema circuitale, compresi i registri e la loro interconnessione, è:



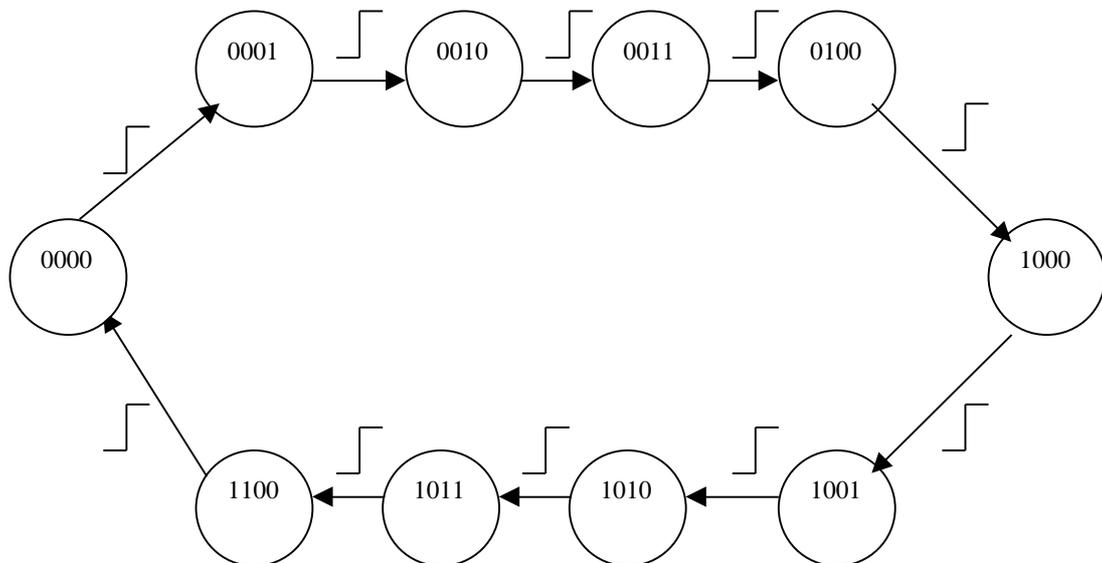
Osservate che:

- le linee di abilitazione alla scrittura sui registri sono ottenute dal primo bit della  $f(x)$ ,  $z_3$ , che è uguale a 1 quando  $x > 7$  e vale 0 altrimenti;

- il segnale di clock deve avere un periodo maggiore rispetto al tempo di attraversamento della parte combinatoria (se è il ritardo di una porta, basta che il periodo sia maggiore di 2 ).

### Esercizio 2

L'automata del contatore modulo 10, considerando che le transizioni avvengano sul fronte di salita del clock, è:



La tabella degli stati futuri, con i valori delle funzioni di eccitazione relative a flip-flop di tipo JK, è:

x	q3	q2	q1	q0	Q3	Q2	Q1	Q0	J3	K3	J2	K2	J1	K1	J0	K0
0	0	0	0	0	0	0	0	1	0	x	0	x	0	x	1	x
1	0	0	0	1	0	0	1	0	0	x	0	x	1	x	x	1
2	0	0	1	0	0	0	1	1	0	x	0	x	x	0	1	x
3	0	0	1	1	0	1	0	0	0	x	1	x	x	1	x	1
4	0	1	0	0	0	1	0	1	0	x	x	0	0	x	1	x
5	0	1	0	1	0	1	1	0	0	x	x	0	1	x	x	1
6	0	1	1	0	0	1	1	1	0	x	x	0	x	0	1	x
7	0	1	1	1	1	0	0	0	1	x	x	1	x	1	x	1

8	1	0	0	0	1	0	0	1	x	0	0	x	0	x	1	x
9	1	0	0	1	0	0	0	0	x	1	0	x	0	x	x	1
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

Le espressioni delle funzioni di eccitazione ottenute con le Mappe di Karnaugh sono:

	\ x1 x0	00	01	11	10
x3 x2 \					
00		0	0	0	0
01		0	0	1	0
11		x	x	x	x
10		x	x	x	x

	\ x1 x0	00	01	11	10
x3 x2 \					
00		x	x	x	x
01		x	x	x	x
11		x	x	x	x
10		0	1	x	x

$$J3 = q2 q1 q0$$

$$K3 = q0$$

	\ x1 x0	00	01	11	10
x3 x2 \					
00		0	0	1	0
01		x	x	x	x
11		x	x	x	x
10		1	0	x	x

	\ x1 x0	00	01	11	10
x3 x2 \					
00		x	x	x	x
01		0	0	1	0
11		x	x	x	x
10		x	x	x	x

$$J2 = q1 q0$$

$$K2 = q1 q0$$

\ x1 x0	00	01	11	10
x3 x2 \				
00	0	1	x	x
01	0	1	x	x
11	x	x	x	x
10	0	0	x	x

\ x1 x0	00	01	11	10
x3 x2 \				
00	x	x	1	0
01	x	x	1	0
11	x	x	x	x
10	x	x	x	x

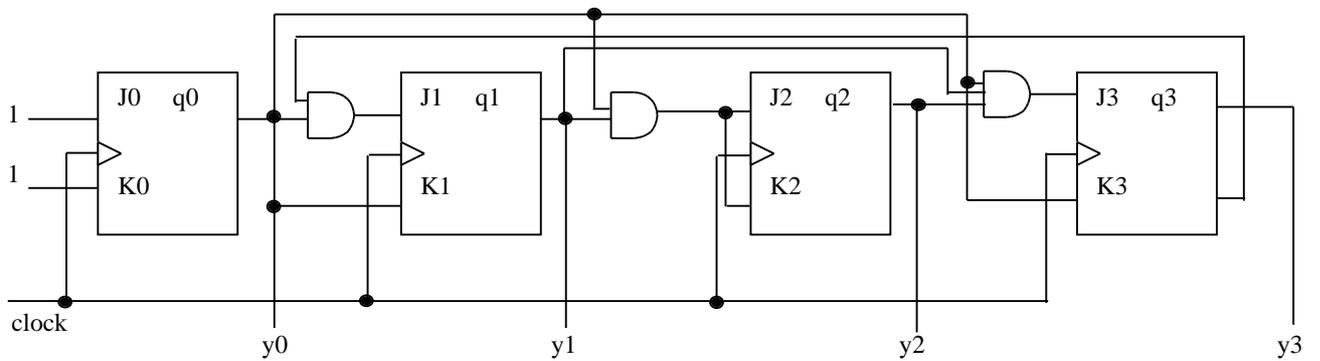
$$J1 = q3 q0$$

$$K1 = q0$$

Dalla tabella degli futuri è facile vedere che per le funzioni J0 e K0 si possono prendere le espressioni:

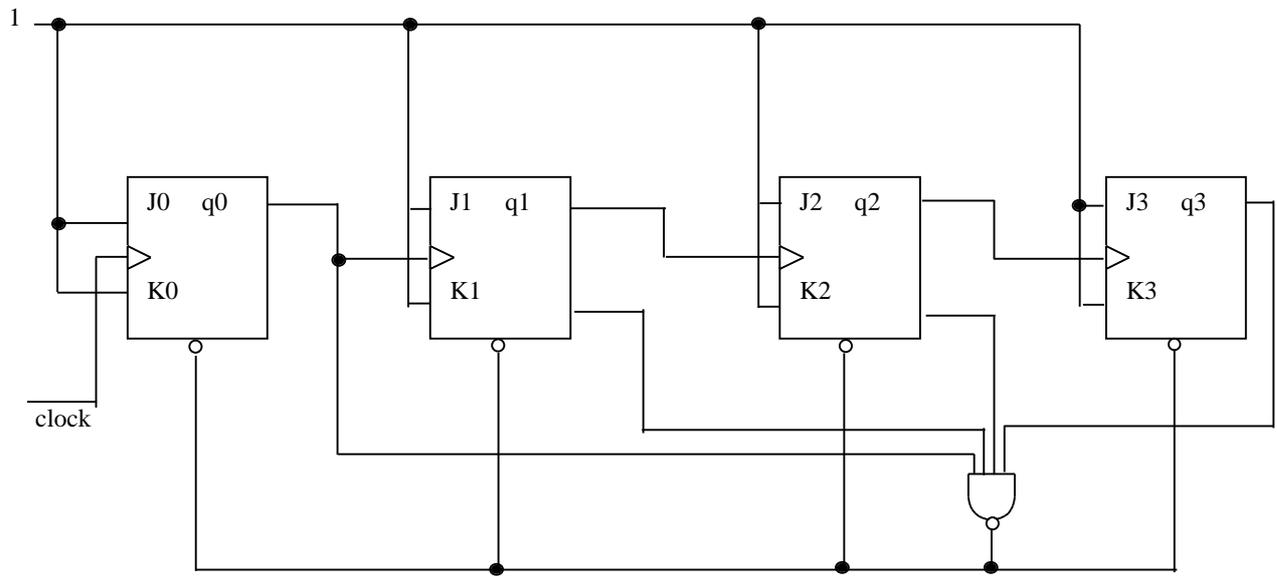
$$J0 = 1 \quad K0 = 1$$

Quindi lo schema circuitale è:



Lo schema circuitale di un contatore **asincrono** ha le seguenti caratteristiche:

- tutte le entrate dei flip-flop sono uguali a 1;
- il segnale di clock di ogni flip-flop è l'uscita del flip-flop precedente;
- quando si arriva al numero 9, la cui rappresentazione è 1001, si devono "saltare" le configurazioni successive e tornare alla rappresentazione dello 0, utilizzando le entrate asincrone CLEAR dei flip-flop.



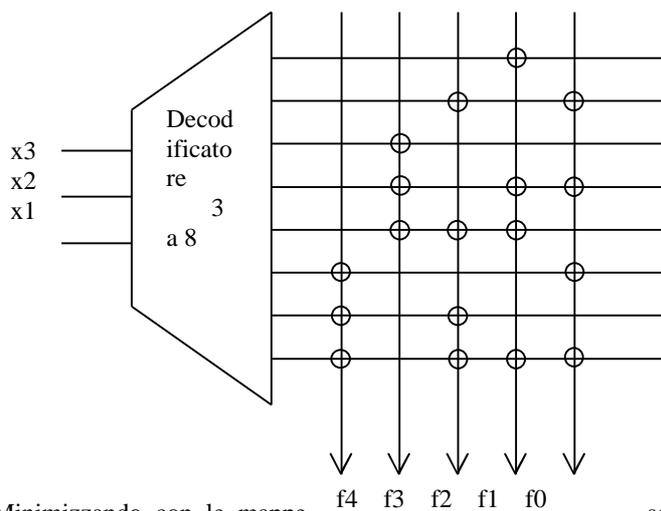
# Soluzioni Compito D

## Esercizio 1

La tabella di verità è:

x	x3	x2	x1	3x+2	f4	f3	f2	f1	f0
0	0	0	0	2	0	0	0	1	0
1	0	0	1	5	0	0	1	0	1
2	0	1	0	8	0	1	0	0	0
3	0	1	1	11	0	1	0	1	1
4	1	0	0	14	0	1	1	1	0
5	1	0	1	17	1	0	0	0	1
6	1	1	0	20	1	0	1	0	0
7	1	1	1	24	1	0	1	1	1

La realizzazione con ROM è :



Minimizzando con le mappe

seguenti espressioni (le variabili complementate sono

$$f4 = x3 x2 + x3 x1$$

$$f3 = \underline{x3} x2 + x3 \underline{x2} x1$$

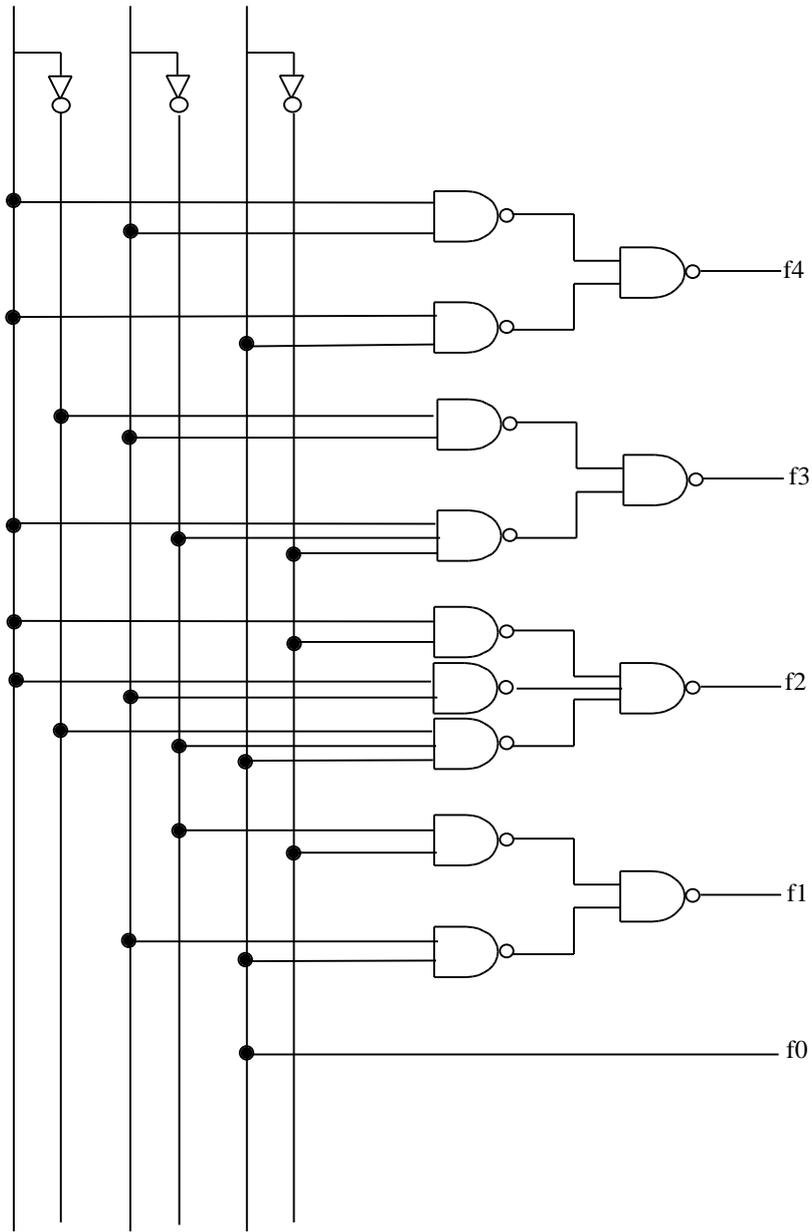
$$f2 = x3 \underline{x1} + \underline{x3} \underline{x2} x1 + x3 x2$$

$$f1 = \underline{x2} \underline{x1} + x2 x1$$

$$f0 = \underline{x3} x1$$

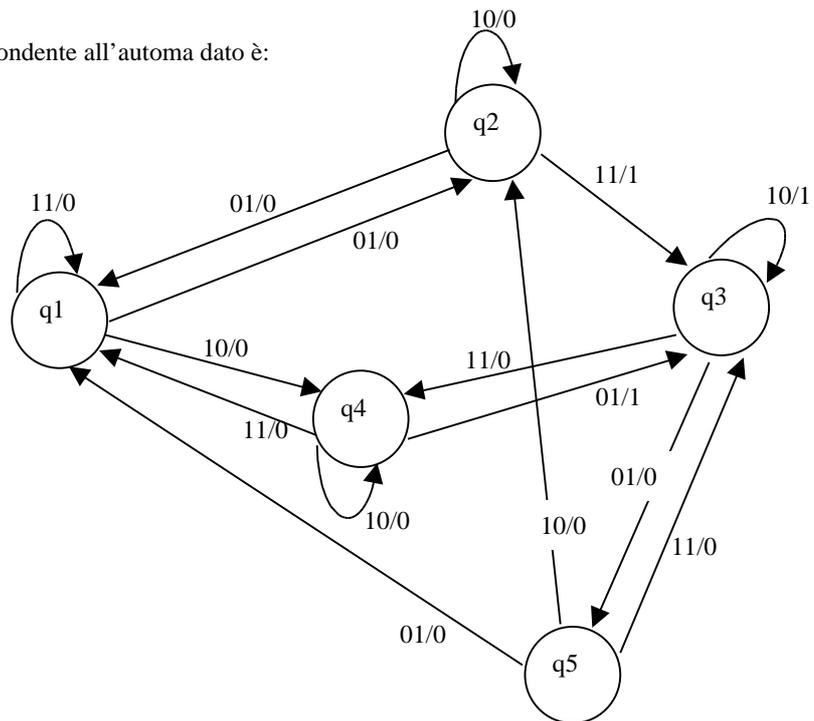
Dalle espressioni ottenute, utilizzando le proprietà dell'operatore NAND, si ottiene il seguente circuito composto di solo porte NAND:

x3      x2      x1



**Esercizio 2**

L'automa di Mealy corrispondente all'automa dato è:



L'automa in forma tabellare è:

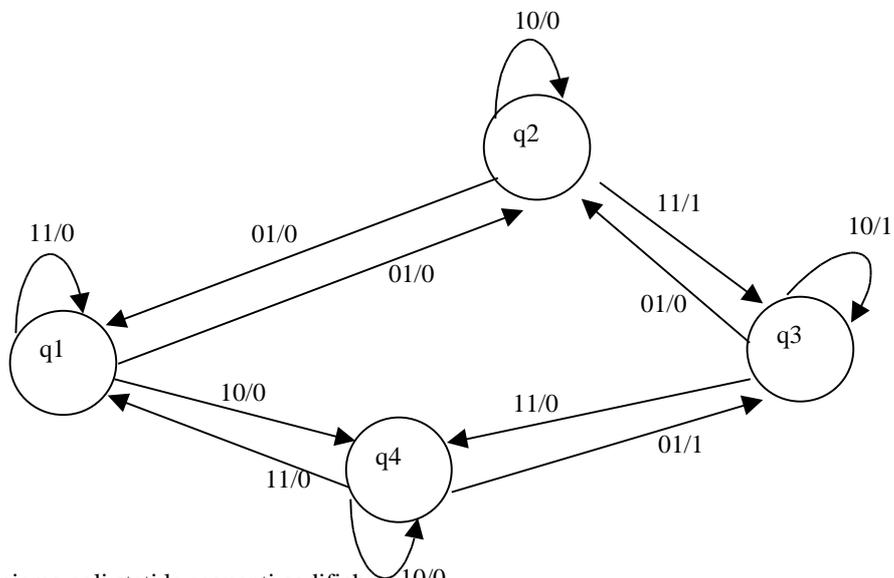
	01	10	11
q1	q2/0	q4/0	q1/0
q2	q1/0	q2/0	q3/1
q3	q5/0	q3/1	q4/0
q4	q3/1	q4/0	q1/0
q5	q1/0	q2/0	q3/1

Per la minimizzazione dell'automa utilizziamo la seguente tabella triangolare:

q2	X			
q3	X	X		
q4	X	X	X	
q5	X		X	X
	q1	q2	q3	q4

da cui si vede che gli stati q2 e q5 sono equivalenti.

L'automa minimo è:



Assegniamo agli stati le seguenti codifiche:

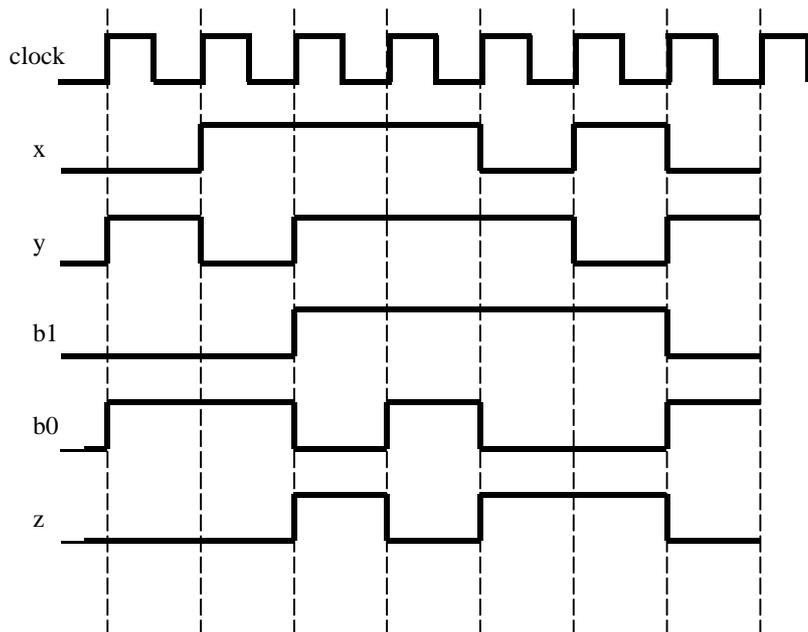
q1 = 00

q2 = 01

q3 = 10

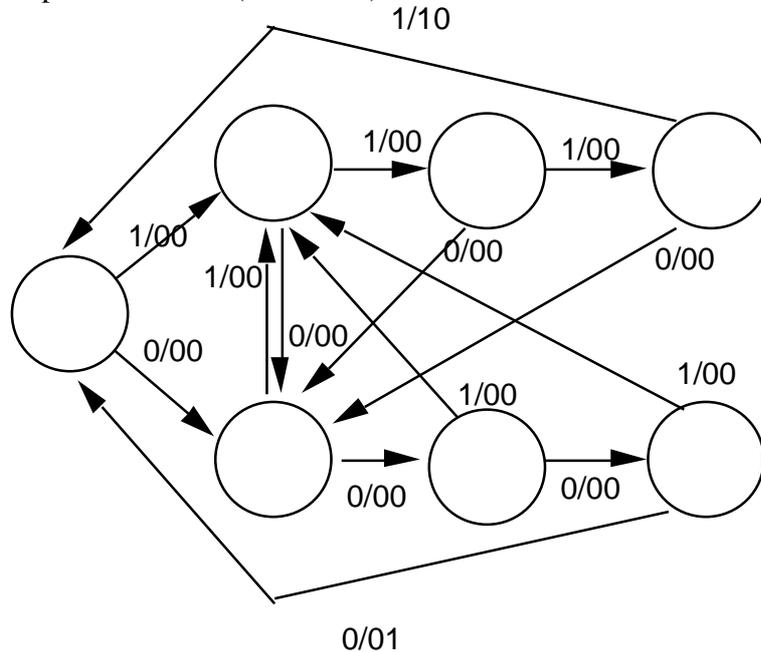
q4 = 11

Il diagramma temporale per le sequenze x e y indicate nel testo, codificando gli stati con b1b0, è :



## Soluzione Esercizio E.1

Per il riconoscimento delle due sequenze, si possono disegnare due automi distinti o un unico automa. Gli stati sono 4+4 nel primo caso e 7 nel secondo, perciò con un unico automa si ha un risparmio di 1 FF (4 contro 3).



L'automata produce **due output**,  $x$  ed  $y$ . Se  $x=1$ , è stata riconosciuta la sequenza 1111, se  $y=1$  è stata riconosciuta la sequenza 0000. L'automata riportato schematicamente in figura è un automa di Mealy. NOTA: si poteva ovviamente utilizzare un contatore modulo 16, "riconoscendo" con opportune porte logiche le condizioni di inizio (0000) e fine (1111) conteggio, generando due segnali  $x$  ed  $y$ . Tuttavia, è largamente preferita una soluzione che utilizzi il metodo formale di sintesi visto a lezione.

Il circuito richiesto si compone di 4 moduli:

- Il circuito corrispondente all'automata, che riceve in ingresso la stringa di input  $i(t)$
- Il registro SIPO R0
- Il registro SIPO R1
- Un contatore modulo 16

Il circuito richiesto "cicla" fra due macro-stati. Nello stato uno, lavora il riconoscitore delle 2 sequenze. Nello stato due, lavora il contatore mod. 16, che provvede al caricamento dei due registri.

Va prestata attenzione al modo con cui si pilota il clock di sistema. Questo deve essere pilotato in modo tale da sincronizzare alternativamente o l'automata "riconoscitore", o il blocco formato dai due registri e dal contatore. In altre parole, quando il "riconoscitore" controlla la presenza di sequenze

0000 o 1111, contatore e registri non devono cambiare il proprio stato (non devono ricevere un clock). Quando una delle sequenze è stata riconosciuta, è l'automa a "congelarsi", mentre il contatore deve iniziare il suo conteggio, e uno dei due registri deve memorizzare 16 bit dell'input. Quando il contatore raggiunge il valore 16, l'automa riprende a verificare le sequenze, e vengono nuovamente "congelati" registri e contatore.

Il circuito di controllo degli impulsi di clock deve rispondere alle seguenti specifiche:

- se  $x=y=0$  (sequenza non riconosciuta) clock *YES* automa, clock *NOT* (registri, contatore)
- se  $x$  o  $y = 0$ , (una delle due sequenze è stata riconosciuta) clock *YES* (registri, contatore), clock *NOT* automa
- se contatore=1111 e se  $x$  o  $y = 0$ , clock *YES* automa, , clock *NOT* (registri, contatore)

Progettiamo il circuito combinatorio di controllo come segue:

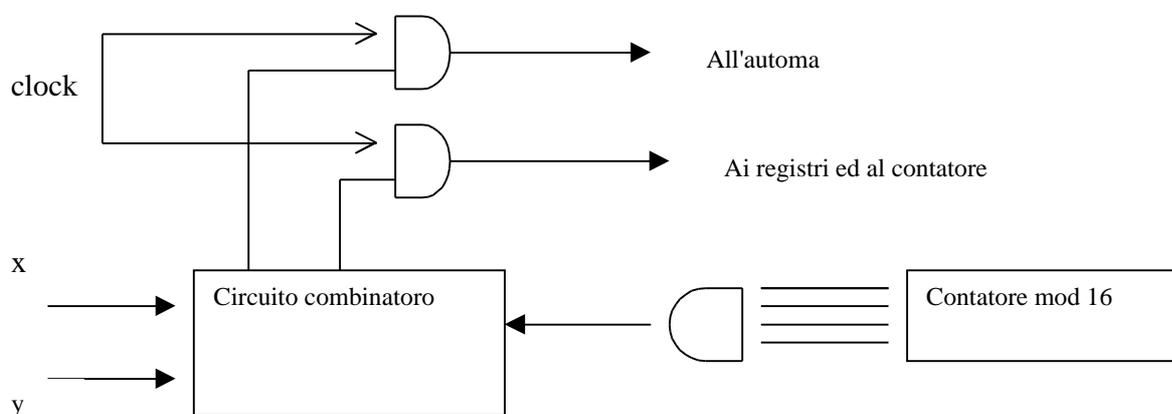


Tabella di verità del circuito combinatorio:

$x$  e  $y$  sono i segnali di uscita dell'automa,  $c=Q0Q1Q2Q3$  (uscite del contatore mod.16),  $C1$  e  $C2$  sono segnali che abilitano il passaggio del clock rispettivamente, verso l'automa e verso registri e contatore.

cxy	C1	C2
000	1	0
001	1	1
010	1	1
011	X	X
100	1	0
110	1	0
101	1	0
111	X	X

Notate che la condizione  $x=y=1$  non è possibile (entrambe le sequenze riconosciute!!), dunque, la condizione corrisponde a valori di indifferenza.

In pratica, il circuito combinatorio attiva l'automa ( $C1=1$ ) finché nessuna sequenza è stata riconosciuta, e lo disattiva quando una delle sequenze è stata riconosciuta; lo attiva nuovamente quando 16 bit sono stati trasferiti sui registri.

Il circuito poteva anche essere realizzato con un demultiplexer.

## Soluzione Esercizio E.2

$$J_0 = K_0 = x$$

$$J_1 = K_1 = yQ_2$$

$$J_2 = K_2 = Q_0Q_1$$

$$z = xQ_2$$

xyQ <sub>2</sub> Q <sub>1</sub> Q <sub>0</sub>	J <sub>2</sub> K <sub>2</sub> J <sub>1</sub> K <sub>1</sub> J <sub>0</sub> K <sub>0</sub>	Q <sub>2</sub> Q <sub>1</sub> Q <sub>0</sub>	z
00 000	00 00 00	000	0
00 001	00 00 00	001	0
00 010	00 00 00	010	0
00 011	11 00 00	111	0
00 100	00 00 00	100	0
00 101	00 00 00	101	0
00 110	00 00 00	110	0
00 111	11 00 00	011	0

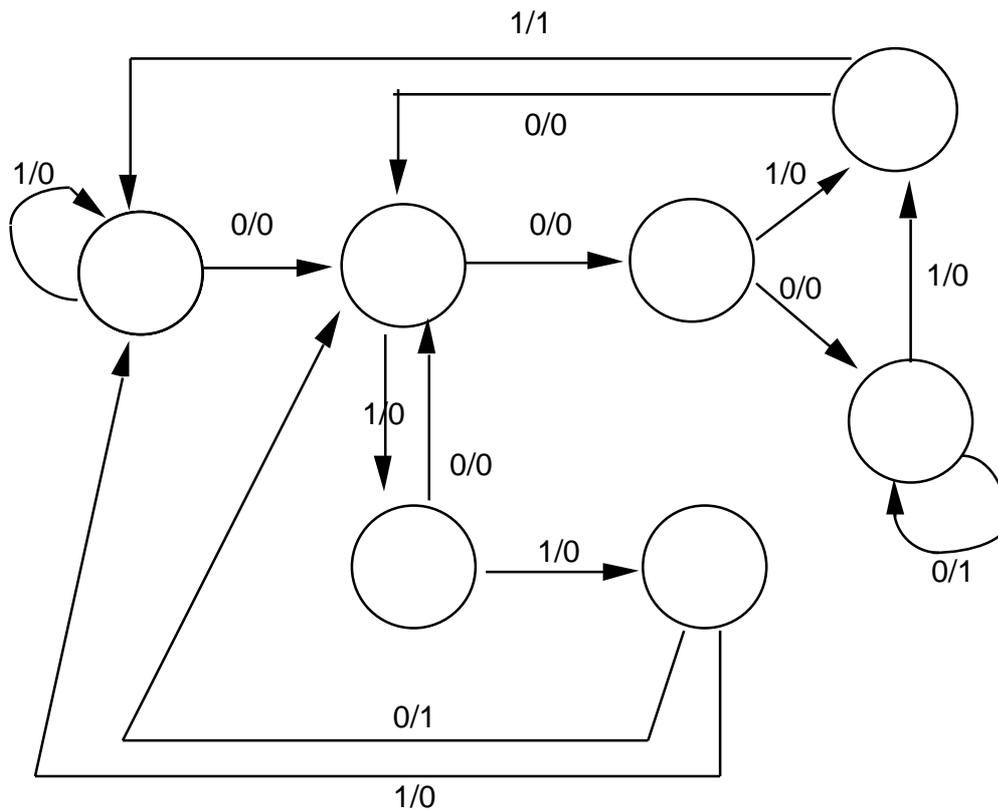
xyQ <sub>2</sub> Q <sub>1</sub> Q <sub>0</sub>	J <sub>2</sub> K <sub>2</sub> J <sub>1</sub> K <sub>1</sub> J <sub>0</sub> K <sub>0</sub>	Q <sub>2</sub> Q <sub>1</sub> Q <sub>0</sub>	z
10 000	00 00 11	001	0
10 001	00 00 11	000	0
10 010	00 00 11	011	0
10 011	11 00 11	110	0
10 100	00 00 11	101	1
10 101	00 00 11	100	1
10 110	00 00 11	111	1
10 111	11 00 11	010	1

xyQ <sub>2</sub> Q <sub>1</sub> Q <sub>0</sub>	J <sub>2</sub> K <sub>2</sub> J <sub>1</sub> K <sub>1</sub> J <sub>0</sub> K <sub>0</sub>	Q <sub>2</sub> Q <sub>1</sub> Q <sub>0</sub>	z
01 000	00 00 00	000	0
01 001	00 00 00	001	0
01 010	00 00 00	010	0
01 011	11 00 00	111	0
01 100	00 11 00	110	0
01 101	00 11 00	111	0
01 110	00 11 00	100	0
01 111	11 11 00	001	0

xyQ <sub>2</sub> Q <sub>1</sub> Q <sub>0</sub>	J <sub>2</sub> K <sub>2</sub> J <sub>1</sub> K <sub>1</sub> J <sub>0</sub> K <sub>0</sub>	Q <sub>2</sub> Q <sub>1</sub> Q <sub>0</sub>	z
11 000	00 00 11	001	0
11 001	00 00 11	000	0
11 010	00 00 11	011	0
11 011	11 00 11	110	0
11 100	00 11 11	111	1
11 101	00 11 11	110	1
11 110	00 11 11	101	1
11 111	11 11 11	000	1

Da cui è immediato ricavare l'automa di Mealy a 8 stati (cosa non richiesta nel testo). Si noti che, nell'automa alcuni stati restano isolati, ad esempio S<sub>0</sub>=000 ed S<sub>1</sub>=001.

## Soluzioni esercizio F1

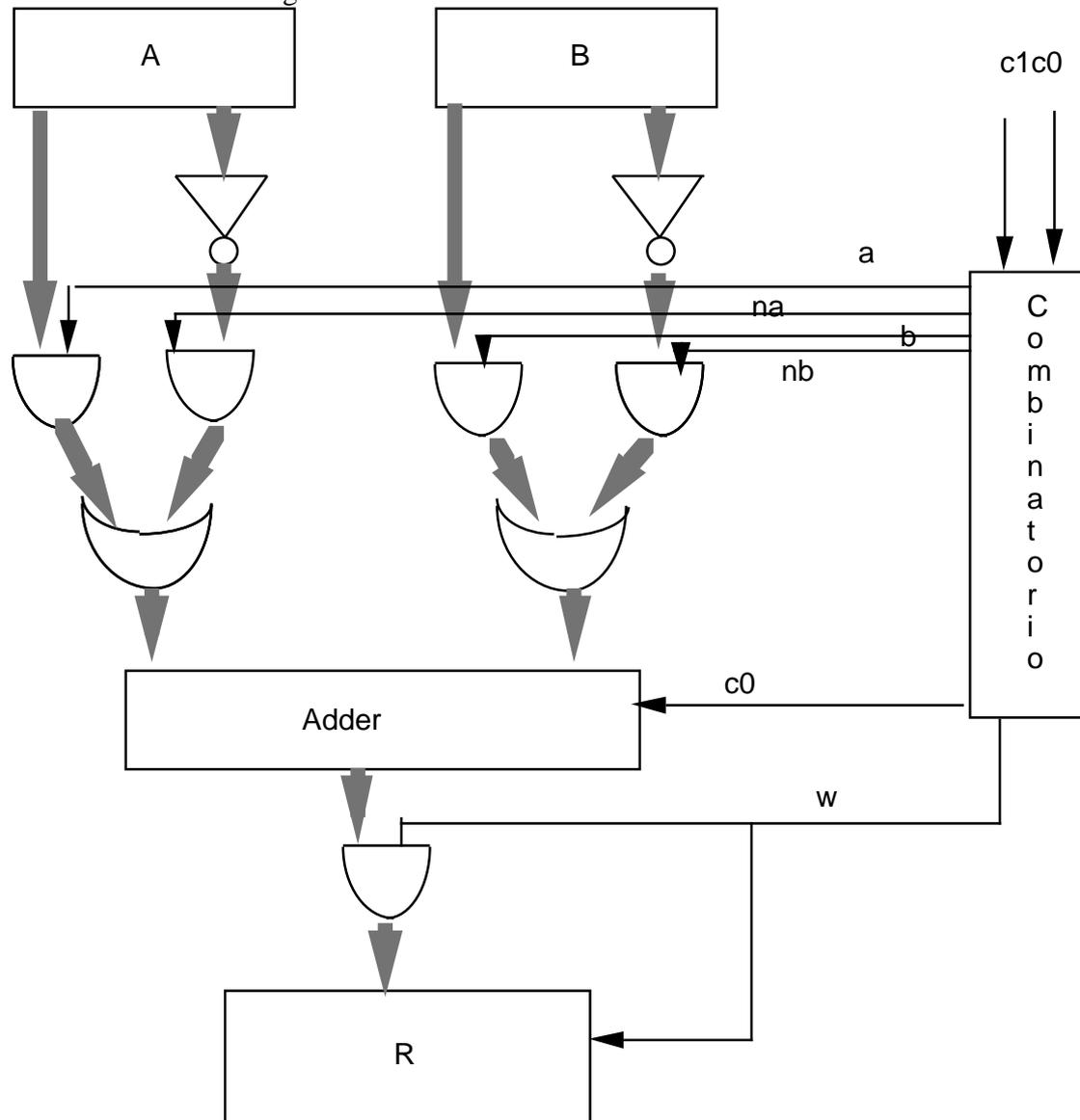


La figura mostra l'automa. Occorrono 3 FF. Il circuito corrispondente si ottiene costruendo la tabella degli stati futuri come visto a lezione. Notate che le specifiche chiedevano che l'automa producesse un "1" quando gli ultimi 4 bit ricevuti corrispondono ad una delle tre sequenze. Per questo motivo, a sequenza riconosciuta si ritorna nello stato iniziale S0 solo quando l'ultimo bit ricevuto è stato un "1" (quindi solo per la sequenza 0011), poiché nessuna delle tre sequenze inizia con "1".

NOTA: leggete sempre con attenzione il testo: il testo specificava che la sequenza dovesse essere letta da sinistra verso destra, NON il contrario!!!

## Soluzione Esercizio F2

Si veda lo schema in figura:



In figura le linee grosse rappresentano "bus", quelle sottili, linee di controllo.

In complemento a due si ha:

$$A - B = A + \bar{B} + 1$$

$$-A + B = \bar{A} + B + 1$$

Il circuito combinatorio che controlla il corretto flusso dei dati è rappresentato dalla seguente tavola di verità:

c1c0	a	na	b	nb	c0	W
00	X	X	X	X	X	0
01	1	0	1	0	0	1
10	1	0	0	1	1	1
11	0	1	1	0	1	1

Il significato dei segnali di controllo a, na, b, nb, c0, W è evidente dalla figura: i primi 4 (a,na,b,nb) abilitano il collegamento degli addendi appropriati sul sommatore, c0 rappresenta il carry di ingresso (il "+1"), e W abilita la scrittura (write) sul registro R.

- In complemento a due si ha che:  $A = -c_{m-1} \times b^{m-1} + \sum_{i=0}^{m-2} c_i \times b^i$

$$\bar{A} = \overline{c_{m-1} \dots c_0} = \overline{c_{m-1} \dots c_0} + 1$$

dove  $\bar{c}_i = 1 - c_i$ .

In base due,  $b=2$  e  $c_i \in \{0,1\}$

(una spiegazione completa si trova su una delle prime esercitazioni del corso, scaricabile dal sito di Architetture -Velardi)