

## ESAME DI ARCHITETTURA degli ELABORATORI I

Martedì 29 Gennaio 2002, ore 14

Nota: orale e/o consegna prova CIRCUIT-MAKER (solo canale Velardi) mercoledì 6 febbraio aula alfa (via Salaria 113) ore 10.

### FILA A

#### Esercizio 1 (12 punti) :

Si progetti un automa che, presa in input una stringa di bit, dà in output 1 se e solo se il numero di uni ricevuti fino a quel momento è un multiplo di 3. Si sintetizzi il circuito modellante tale comportamento secondo lo schema formale visto a lezione, usando flip flop di tipo T. Modificare infine il circuito ottenuto dando vita ad un circuito che usi solo flip flop di tipo JK (N.B.: non è richiesta una nuova procedura di sintesi!!)

#### Esercizio 2 (18 punti) :

Si supponga di avere 4 registri sorgente  $S_1, \dots, S_4$  da due bit e 6 registri destinazione  $D_1, \dots, D_6$  da tre bit. Il bit più significativo (il terzo) di  $D_i$  (che indicheremo con  $d_i^3$ ) è un indicatore di rilevanza dell'informazione memorizzata nel registro; in particolare,  $d_i^3 = 0$  indica che l'informazione non è rilevante e che quindi può essere sovrascritta, mentre  $d_i^3 = 1$  indica che l'informazione non può essere cancellata.

Si progetti in dettaglio il circuito che permetta i seguenti trasferimenti:

- a)  $S_1 \rightarrow D_3, \underline{D_4}, \underline{D_6}$
- b)  $S_2 \rightarrow D_1, D_2$
- c)  $S_3 \rightarrow D_1, \underline{D_2}, D_5$
- d)  $S_4 \rightarrow \underline{D_4}, D_6$

dove con  $S_i \rightarrow \underline{D_k}$  si intende che tale trasferimento deve dar luogo ad una memorizzazione rilevante in  $D_k$  (cioè a seguito del trasferimento si deve avere  $d_k^3 = 1$ ), sempre che  $d_k^3$  non fosse già a 1 (in tal caso il trasferimento  $S_i \rightarrow \underline{D_k}$  non deve aver luogo). Inoltre, se il trasferimento  $S_i \rightarrow D_k$  (rilevante o meno) avrà luogo, a seguito di esso si avrà  $d_k^1 = s_i^1$  e  $d_k^2 = s_i^2$  (cioè nei due bit meno significativi di  $D_k$  verrà memorizzata l'informazione presente in  $S_i$ ). Si assuma infine che inizialmente i registri destinazione contengano tutti i propri bit a 0.

## ESAME DI ARCHITETTURA degli ELABORATORI I

Martedì 29 Gennaio 2002, ore 14

Nota: orale e/o consegna prova CIRCUIT-MAKER (solo canale Velardi) mercoledì 6 febbraio aula alfa (via Salaria 113) ore 10.

### **FILA B**

#### **Esercizio 1 (10 punti)**

Una funzione di 4 variabili,  $f(x_4, x_3, x_2, x_1)$ , vale 1 se  $x_4 + x_2x_1 = 0$  mentre risulta non specificata (termini don't care) se si verifica la condizione  $x_4x_1 = 1$ .

Progettare la rete che realizza la funzione  $f$  sia tramite PLA che tramite multiplexer.

#### **Esercizio 2 (8 punti)**

Descrivere e mostrare la rete di interconnessione tra 3 registri sorgente  $S_1$ ,  $S_2$  e  $S_3$  e due registri destinazione  $D_1$  e  $D_2$  nel caso di registri costituiti da due bit e supponendo che non siano richiesti trasferimenti simultanei.

#### **Esercizio 3 (12 punti)**

Un distributore automatico vende bibite al prezzo di 0,25 euro e accetta monete da 0,10 e 0,05 euro.

Il distributore non dà resto ma conserva l'eventuale eccesso per l'utente successivo.

Seguendo il metodo formale di sintesi, progettare il circuito che realizza la funzione  $f$  tale che  $f=1$  se è stato raggiunto o superato l'importo richiesto ( $f$  corrisponde all'abilitazione a fornire la bibita).

## ESAME DI ARCHITETTURA degli ELABORATORI I

Martedì 29 Gennaio 2002, ore 14

Nota: orale e/o consegna prova CIRCUIT-MAKER (solo canale Velardi) mercoledì 6 febbraio aula alfa (via Salaria 113) ore 10.

### FILA C

**Esercizio 1** (15 punti) Si progetti secondo la metodologia vista a lezione un circuito "majority voter", il quale riceve in ingresso tre stringhe sequenziali :

$A(t)=a(t)a(t-1)\dots a(0)$ ,  $B(t)=b(t)b(t-1)\dots b(0)$ ,  $C(t)=c(t)c(t-1)\dots c(0)$  e produce in ogni istante due valori binari  $m$  e  $e$ :

$m(t)$  è pari al valore binario espresso dalla maggioranza degli input  $a(t)$   $b(t)$   $c(t)$  ,  $e(t) = 1$  se in  $t$  o in un qualsiasi istante precedente  $t$  NON si è verificata la condizione  $a(t)=b(t)=c(t)$

**Esercizio 2** (15 punti) Progettare in dettaglio un circuito che riceve in ingresso 8 segnali binari e li serializza su un'unica linea di uscita. Gli ingressi provengono da un registro PIPO (*parallel input parallel output*) e l'uscita viene memorizzata su un registro SISO (*serial input, serial output*). Progettare anche i registri, i necessari segnali di controllo, e mostrare i diagrammi temporali dei clock che regolano il funzionamento corretto dell'intero sistema.

## SOLUZIONI:

### Compito A

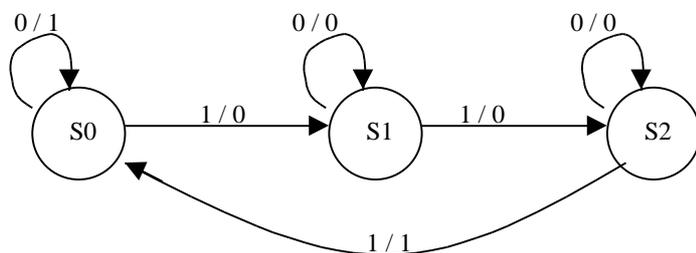
#### ES. 1

Anzitutto un numero è multiplo di 3 se è del tipo  $3 \cdot k$  dove  $k$  è un numero intero. Quindi i multipli di 3 sono: 0, 3, 6, 9, 12, ...

L'automa richiesto deve vedere se, detto  $n$  il numero di 1 ricevuti fino a quel momento, si ha:

- $n = 3 \cdot k$
- $n = 3 \cdot k + 1$
- $n = 3 \cdot k + 2$

e solo nel primo caso deve dare in output 1. Associamo quindi la prima condizione allo stato S0, la seconda allo stato S1 e la terza allo stato S2. L'automa risultante è quindi



Si noti che l'automa è minimo e che poteva essere modellato bene anche con un automa di Moore (l'unico stato con output 1 è S0). Associamo lo stato S0 con la configurazione Q1 Q0 = 00 dei FF, S1 con Q1 Q0 = 01 e S2 con Q1 Q0 = 10 (la configurazione Q1 Q0 = 11 non è usata).

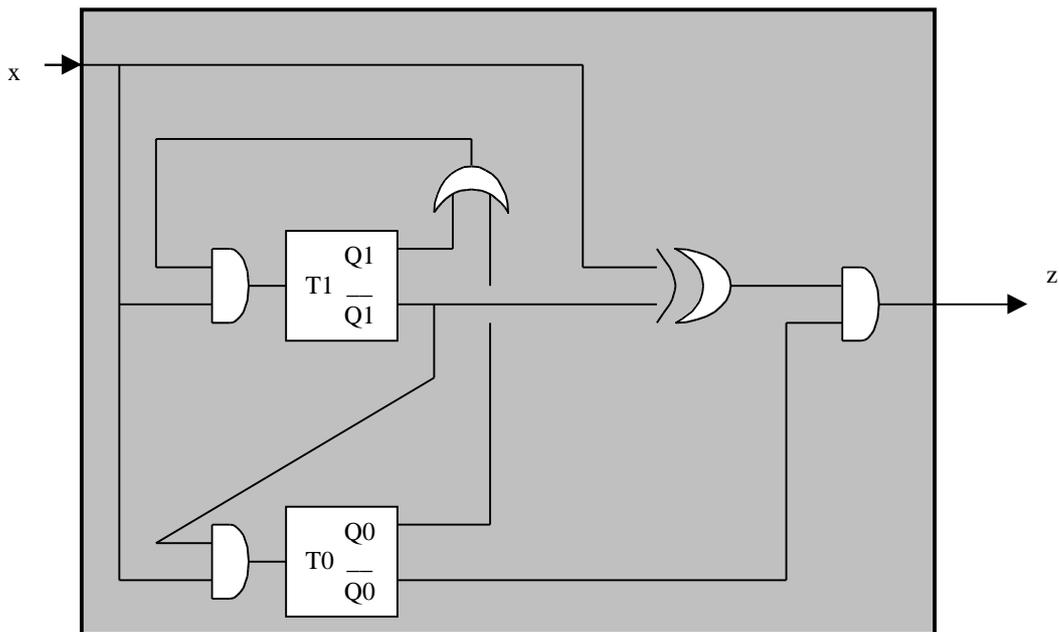
x	Q1 (t)	Q0 (t)	Q1 (t+1)	Q0 (t+1)	z (t)	T1 (t)	T0 (t)
0	0	0	0	0	1	0	0
0	0	1	0	1	0	0	0
0	1	0	1	0	0	0	0
0	1	1	-	-	-	-	-
1	0	0	0	1	0	0	1
1	0	1	1	0	0	1	1
1	1	0	0	0	1	1	0
1	1	1	-	-	-	-	-

Usando le mappe di Karnaugh si ottiene:

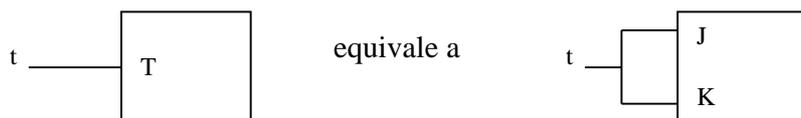
$$z = \bar{x} \bar{Q1} \bar{Q0} + x Q1 \quad T0 = x \bar{Q1} \quad T1 = x (Q0 + Q1)$$

Osservazione (non richiesta all'esame): si può ottenere la più compatta espressione  $\bar{Q0} (x \oplus \bar{Q1})$  per  $z$  mettendone entrambi i don't care a 0.

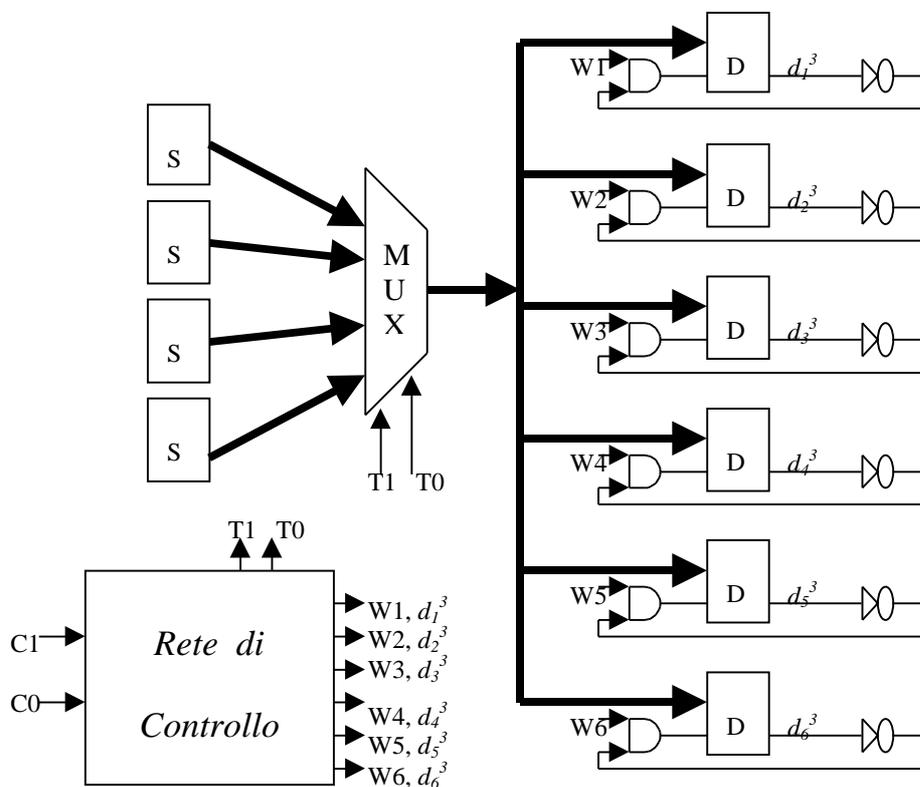
Dalle EB si ottiene il seguente circuito



Per sostituire FF di tipo T con FF di tipo JK, basta notare che



ES.2



Si hanno 4 operazioni e quindi saranno richiesti 2 bit di controllo C1 e C0, con l'associazione

$$a) \quad C1C0 = 00 \quad b) \quad C1C0 = 01 \quad c) \quad C1C0 = 10 \quad d) \quad C1C0 = 11$$

Si hanno inoltre 4 registri sorgente; saranno quindi necessari 2 bit di selezione T1 e T0, con

$$S1 \quad T1T0 = 00 \quad S2 \quad T1T0 = 01 \quad S3 \quad T1T0 = 10 \quad S4 \quad T1T0 = 11$$

Il circuito è molto simile a quello visto a lezione. C'è una rete di controllo che, presi in input i bit di controllo C1 e C0, seleziona il registro sorgente impostando opportunamente i bit T1 e T0. Questi vengono usati come segnali di controllo per due multiplexer (il primo avrà in input i bit meno significativi dei registri sorgenti e il secondo i più significativi) che quindi producono in uscita il bit meno significativo ed il bit più significativo del registro sorgente selezionato. Tale uscita viene data in ingresso ad ognuno dei registri destinazione; l'abilitazione alla scrittura per  $D_i$  è data dal segnale  $W_i$  (emesso dalla rete di controllo), messo in AND con la negazione del bit più significativo di  $D_i$  (e questa è l'unica differenza sostanziale col modello visto a lezione). Inoltre, la rete di controllo dovrà anche dare in output il valore che il bit di rilevanza di  $D_i$  deve assumere a seguito del trasferimento.

Resta solo da specificare la tabella per le operazioni richieste

C1	C0	T1	T0	W1	W2	W3	W4	W5	W6	$d_1^3$	$d_2^3$	$d_3^3$	$d_4^3$	$d_5^3$	$d_6^3$
0	0	0	0	0	0	1	1	0	1	-	-	0	1	-	1
0	1	0	1	1	1	0	0	0	0	0	0	-	-	-	-
1	0	1	0	1	1	0	0	1	0	0	1	-	-	0	-
1	1	1	1	0	0	0	1	0	1	-	-	-	1	-	0

Si noti che quando il registro  $D_i$  non è coinvolto nel trasferimento (cioè  $W_i = 0$ ) al bit di rilevanza può essere assegnato qualsiasi valore (tanto il registro non è abilitato alla scrittura).

Le EB associate sono

$$T1 = C1 \quad T0 = C0$$

$$W1 = W2 = C1 \quad C0 \quad W3 = \overline{C1} \overline{C0} \quad W4 = W6 = \overline{C1} \quad C0 \quad W5 = C1 \overline{C0}$$

$$d_1^3 = d_3^3 = d_5^3 = 0 \quad d_2^3 = C1 \quad d_4^3 = 1 \quad d_6^3 = \overline{C0}$$

che modellano il comportamento richiesto alla rete di controllo.

## Soluzioni Compito B

### Esercizio 1

La tabella della funzione f è:

x4	x3	x2	x1	f
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	x
0	1	1	0	x
0	1	1	1	x
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	x
1	1	1	0	x
1	1	1	1	x

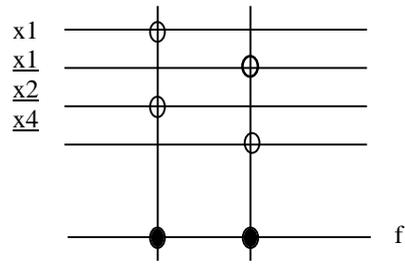
La tabella riorganizzata come mappa di Karnaugh è:

	\ x2 x1			
x4 x3 \	00	01	11	10
00	1	1	0	1
01	1	1	0	1
11	0	x	x	0
10	0	x	x	0

Dalla mappa di Karnaugh si ottiene la seguente espressione per f (i letterali complementati sono sottolineati):

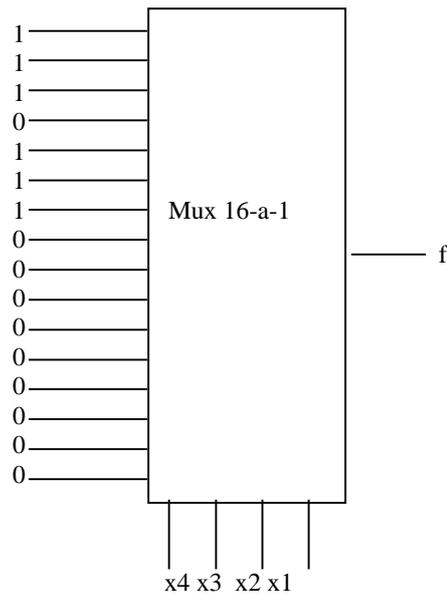
$$f = \underline{x2} x1 + \underline{x4} \underline{x1}$$

La realizzazione con PLA si ottiene utilizzando l'espressione minimizzata ed è:



La realizzazione con multiplexer non necessita di minimizzazione, basta fissare gli ingressi ai valori della funzione  $f$  e porre sulle linee di controllo le variabili, la cui combinazione determina il valore dell'uscita  $f$ . Serve un multiplexer 16 a 1.

N.B. Nella realizzazione seguente i mintermini corrispondenti ai "don't care" sono stati posti a 0.

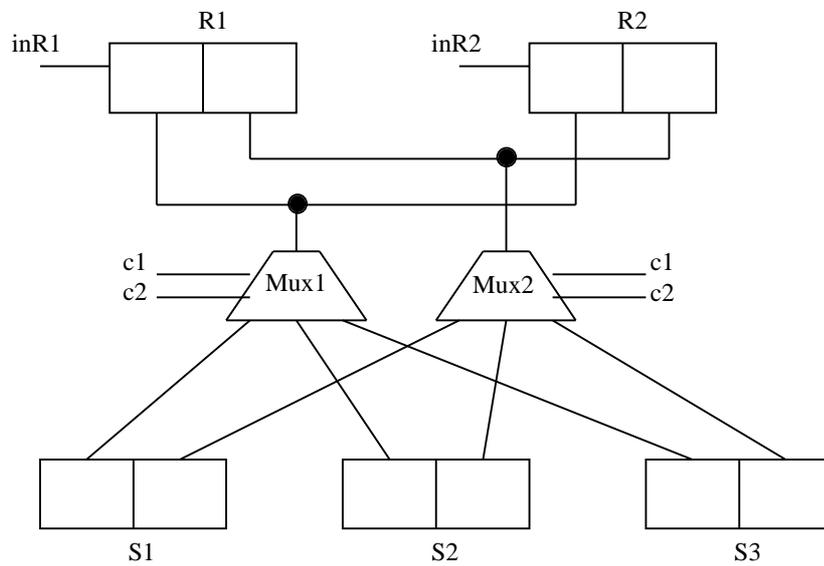


## Esercizio 2

Lo schema utilizza due multiplexer: il multiplexer Mux1 riceve sulle linee di dati il primo bit dei tre registri sorgente mentre il multiplexer Mux2 riceve sulle linee di dati il secondo bit dei tre registri sorgente.

Le linee di controllo  $c1$  e  $c2$  dei due multiplexer permettono di selezionare il registro sorgente e quindi quale bit deve comparire in uscita ( $c1$  e  $c2$  hanno lo stesso valore per entrambi i multiplexer).

Le linee  $inR1$  e  $inR2$  abilitano la scrittura rispettivamente sul registro  $R1$  e sul registro  $R2$ .



### Esercizio 3

Codifichiamo le due monete nel seguente modo:

0 per 0,05 euro

1 per 0,10 euro

Assegniamo agli stati i seguenti significati:

Q0 stato iniziale

Q1 ricevuto 0,05

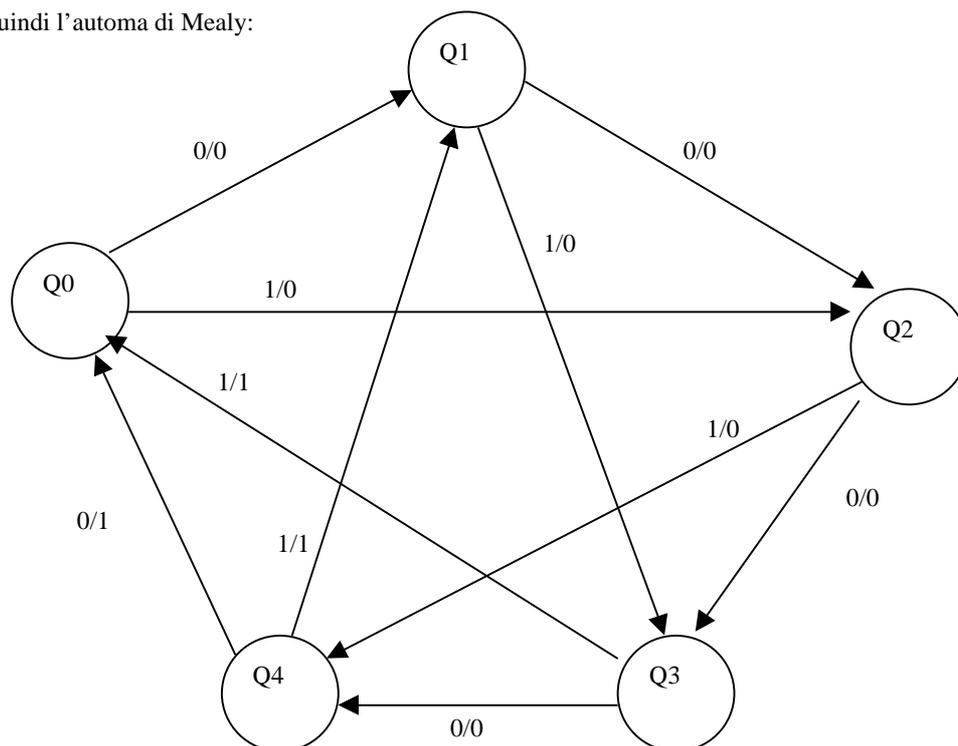
Q2 ricevuto 0,10

Q3 ricevuto 0,15

Q4 ricevuto 0,20

N.B. non serve uno stato con il significato di ricevuto 0,25 perché tale situazione corrisponde a quella dello stato iniziale.

Si ottiene quindi l'automa di Mealy:



Codifichiamo gli stati come: Q0=000, Q1=001, Q2=010, Q3=011 e Q4=100

La tabella degli stati futuri, con le funzioni di eccitazione relative a Flip-Flop di tipo D, è la seguente:

x	y2	y1	y0	Y2	Y1	Y0	f	D2	D1	D0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	1	0	1	0	0	0	1	0
0	0	1	0	0	1	1	0	0	1	1
0	0	1	1	1	0	0	0	1	0	0
0	1	0	0	0	0	0	1	0	0	0
0	1	0	1	x	x	x	x	x	x	x
0	1	1	0	x	x	x	x	x	x	x
0	1	1	1	x	x	x	x	x	x	x
1	0	0	0	0	1	0	0	0	1	0
1	0	0	1	0	1	1	0	0	1	1
1	0	1	0	1	0	0	0	1	0	0
1	0	1	1	0	0	0	1	0	0	0
1	1	0	0	0	0	1	1	0	0	1
1	1	0	1	x	x	x	x	x	x	x
1	1	1	0	x	x	x	x	x	x	x
1	1	1	1	x	x	x	x	x	x	x

Le espressioni booleane ricavate dalle Mappe di Karnaugh sono (i letterali complementati sono sottolineati>):

	\ y1 y0			
x y2 \	00	01	11	10
00	0	0	0	0
01	1	x	x	x
11	1	x	x	x
10	0	0	1	0

$f = \underline{y2} + xy1y0$

\ y1 y0 x y2 \	00	01	11	10
00	0	0	1	0
01	0	x	x	x
11	0	x	x	x
10	0	0	0	1

$D2 = \underline{x} y1 y0 + x y1 \underline{y0}$

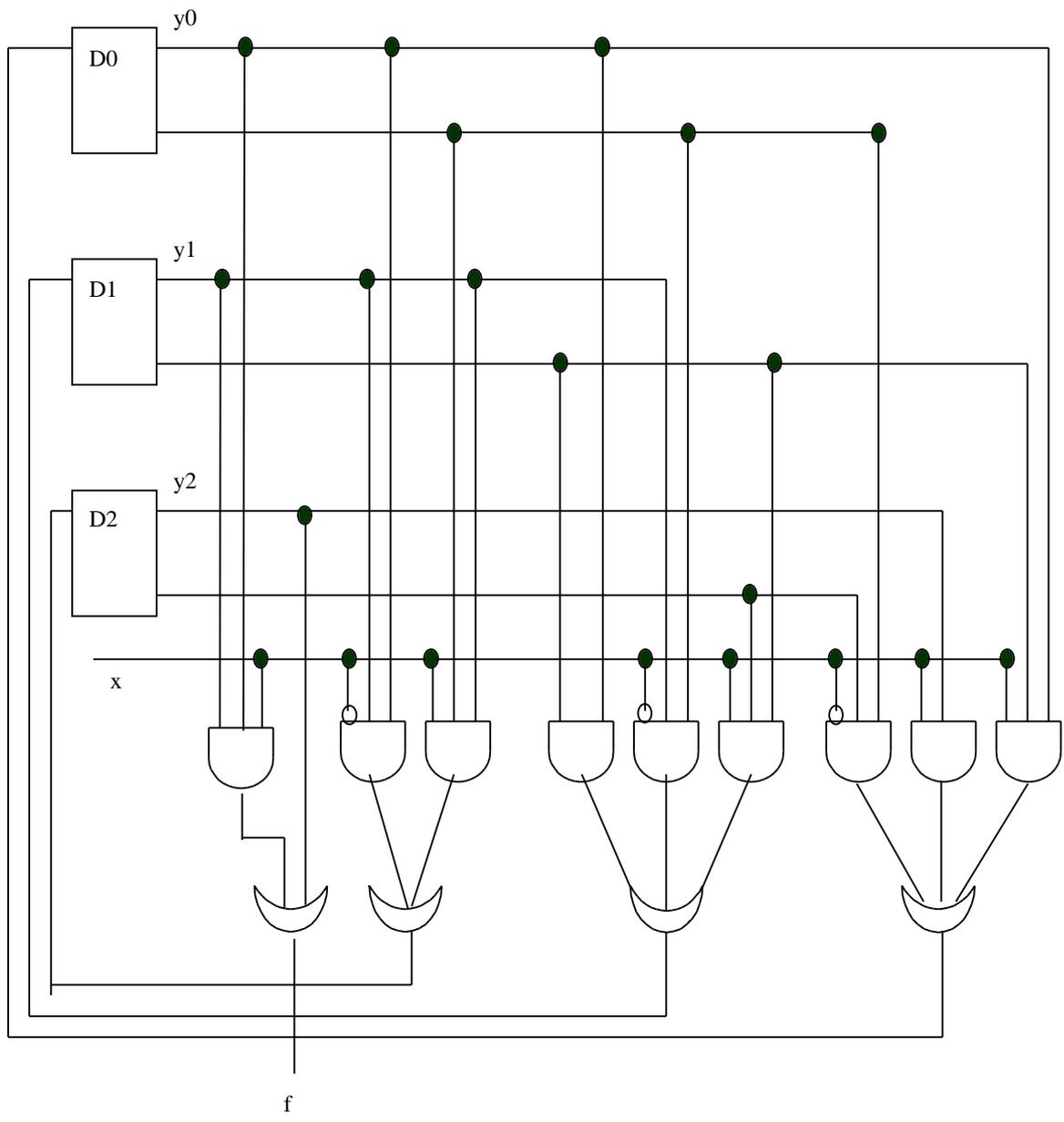
\ y1 y0 x y2 \	00	01	11	10
00	0	1	0	1
01	0	x	x	x
11	0	x	x	x
10	1	1	0	0

$D1 = \underline{x} \underline{y1} y0 + \underline{x} y1 \underline{y0} + x \underline{y2} \underline{y1}$

\ y1 y0 x y2 \	00	01	11	10
00	1	0	0	1
01	0	x	x	x
11	1	x	x	x
10	0	1	0	0

$D0 = \underline{x} \underline{y2} \underline{y0} + x y2 + x \underline{y1} y0$

Il circuito sequenziale è:



## Soluzioni esercizio C

### Esercizio 1.

Si noti che la funzione  $m(t)$  è combinatoria: infatti, per come è definita, è chiaro che il valore di  $m$  nell'istante  $t$  dipende solo dal valore delle variabili booleane di ingresso in  $t$ .

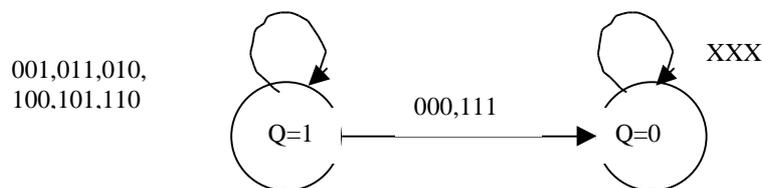
La funzione  $m$  va dunque ricavata impostando una tavola di verità, e derivando quindi con le mappe di Karnaugh l'espressione booleana minima.

Si ottiene:

$$m=ab+bc+ac$$

La funzione  $e(t)$  è viceversa una funzione sequenziale, in quanto  $e(t)$  dipende da un evento attuale o già trascorso (l'evento è  $a=b=c$ ).

L'automa di Moore è:



L'arco etichettato con "XXX" indica che, per qualsiasi valore degli input, il sistema permane nello stato in cui  $Q=0$ . La codifica degli stati prescelta è tale da far coincidere il valore memorizzato nel FF con il valore della funzione di output  $e(t)$ . **Osservate che la codifica che si assegna agli stati può essere qualsiasi e porta comunque ad un risultato corretto, ma una codifica "accorta" può semplificare il progetto di sintesi!!**

Usando un FF di tipo D, si ottiene (con la solita procedura di sintesi):

S(t)abc	S(t+1)=e(t+1)	D(t)
0000	0	0
0001	0	0
0010	0	0
0011	0	0
0100	0	0
0101	0	0
0110	0	0
0111	0	0
1000	0	0
1001	1	1
1010	1	1
1011	1	1
1100	1	1
1101	1	1
1110	1	1
1111	0	0

$$e(t)=Q(t)$$

$$D(t)=Q(a\bar{c} + \bar{b}c + b\bar{c})$$

## Esercizio 2

La soluzione è mostrata in figura. E' importante notare che la frequenza del clock del registro seriale deve essere 8 volte quella del registro parallelo. Prima che il registro parallelo commuti, modificando il proprio contenuto, il registro seriale deve poter operare le 8 commutazioni necessarie per caricare gli 8 bit memorizzati nel registro parallelo.

