

ESAME DI ARCHITETTURA I

Mercoledì, 5 Giugno 2002

COMPITO B

Esercizio 1 (15 punti)

Si progetti in dettaglio il circuito che, dati quattro registri sorgente S_i e quattro registri destinazione D_i (per $i = 1, \dots, 4$), consenta i seguenti trasferimenti in parallelo:

$$(a) S_1 \rightarrow D_1, D_2, D_4 \quad \text{e} \quad S_2 \rightarrow D_4$$

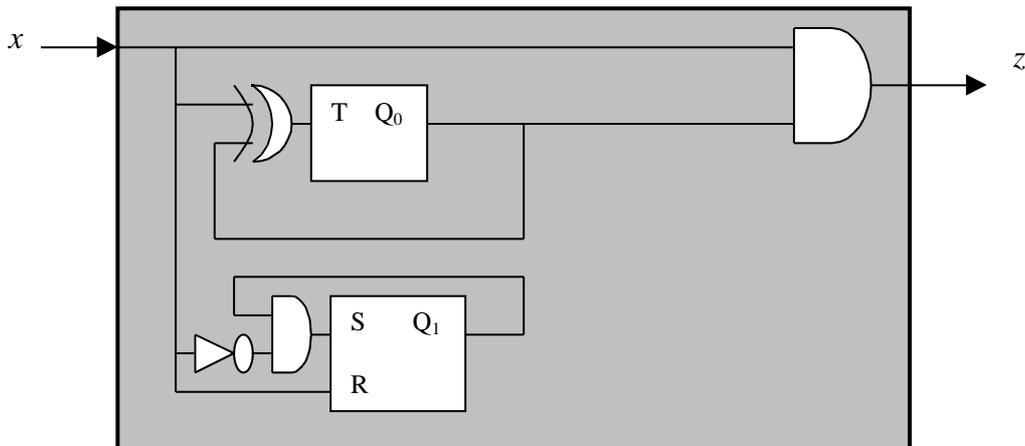
$$(b) S_3 \rightarrow D_3 \quad \text{e} \quad S_4 \rightarrow D_4$$

Si assuma che i registri siano da due bit.

Identificando D_1 con D_3 e D_2 con D_4 (cioè il circuito modificato ha come registri destinazione solo D_1 e D_2), i trasferimenti richiesti sarebbero ancora leciti? Perché?

Esercizio 2 (15 punti)

Sia dato il seguente circuito:



Trovarne l'automa corrispondente, minimizzarlo e descriverne a parole il funzionamento. Si assuma che il circuito abbia inizialmente tutti i FF resettati. Si ricavi infine dall'automa minimo il circuito corrispondente usando FF di tipo D.

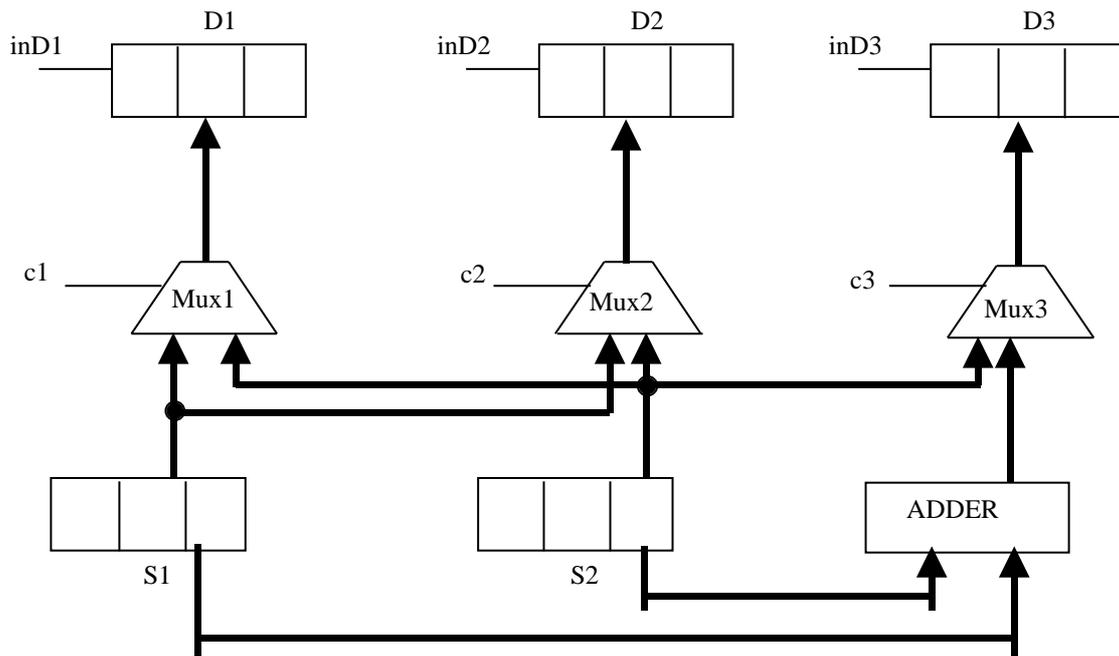
SOLUZIONI es A

Esercizio 1

Per ogni registro destinazione serve un multiplexer che permetta di selezionare il registro sorgente (i multiplexer con ingresso e uscita in grassetto rappresentano tre multiplexer uno per ogni bit/Flip-Flop dei registri).

Ogni multiplexer MUX_i ha bisogno di **una** linea di controllo per selezionare **una delle due** possibili sorgenti: S1 o S2 per la scrittura su D1, S1 o S2 per la scrittura su D2, S2 o S1+S2 per D3.

Lo schema di interconnessione è quindi:



Per trovare le espressioni di c_1 , c_2 , c_3 e di inD_1 , inD_2 , inD_3 basta utilizzare i bit meno significativi di S1 e S2 che indichiamo con b_0^1 e b_0^2 . Si ha:

b_0^1	b_0^2	c_1	c_2	c_3	inD_1	inD_2	inD_3
0	0	x	0	0	0	1	0
0	1	1	1	1	1	1	1
1	0	1	1	1	1	1	1
1	1	0	x	0	1	0	1

Si ottengono quindi le espressioni (i caratteri sottolineati sono complementati):

$$c_1 = \underline{b_0^1} + \underline{b_0^2} \quad c_2 = b_0^1 + b_0^2 \quad c_3 = b_0^1 \text{ XOR } b_0^2$$

$$inD_1 = b_0^1 + b_0^2 \quad inD_2 = \underline{b_0^1} + \underline{b_0^2} \quad inD_3 = b_0^1 + b_0^2$$

e da queste è immediato ricavare il circuito combinatorio che le produce.

Esercizio 2

Codifichiamo le monete nel seguente modo:

00 per 10 centesimi

01 per 20 centesimi

10 per 50 centesimi

11 per 1 euro

Assegniamo agli stati i seguenti significati e la codifica:

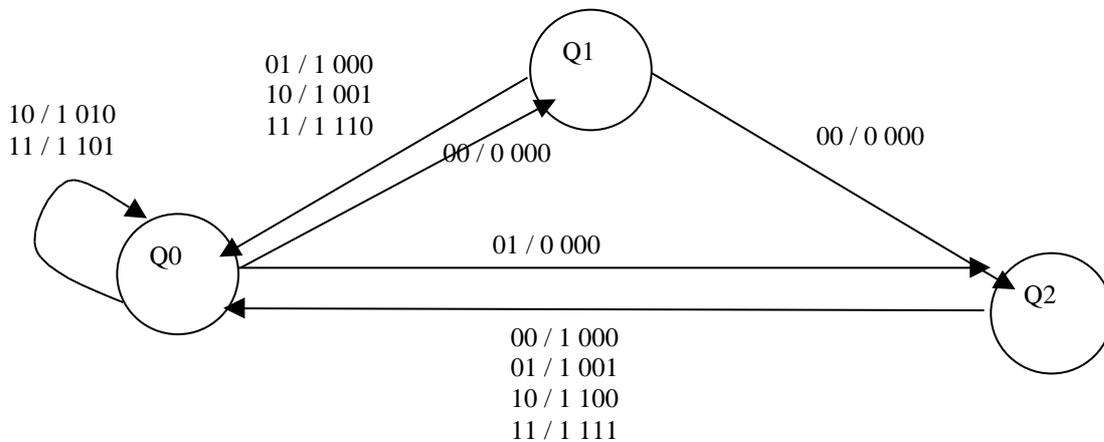
Q0 = 00 stato iniziale – raggiunto/superato l'importo

Q1 = 01 ricevuto 10 centesimi

Q2 = 10 ricevuto 20 centesimi

L'output consiste di quattro bit, uno per l'emissione della bevanda, gli altri tre bit per codificare i possibili resti nel seguente modo:

000	0
001	10
010	20
011	30 (10+20)
100	40 (20+20)
101	70 (50+20)
110	80 (50+10+20)
111	90 (50+20+20)



La tabella degli stati futuri, con le funzioni di eccitazione relative a Flip-Flop di tipo D, è la seguente:

y1	y0	x1	x0	Y1	Y0	z3	z2	z1	z0	D1	D0
0	0	0	0	0	1	0	0	0	0	0	1
0	0	0	1	1	0	0	0	0	0	1	0
0	0	1	0	0	0	1	0	1	0	0	0
0	0	1	1	0	0	1	1	0	1	0	0
0	1	0	0	1	0	0	0	0	0	1	0
0	1	0	1	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	1	0	0

0	1	1	1	0	0	1	1	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0	0
1	0	0	1	0	0	1	0	0	1	0	0
1	0	1	0	0	0	1	1	0	0	0	0
1	0	1	1	0	0	1	1	1	1	0	0
1	1	0	0	x	x	x	x	x	x	x	x
1	1	0	1	x	x	x	x	x	x	x	x
1	1	1	0	x	x	x	x	x	x	x	x
1	1	1	1	x	x	x	x	x	x	x	x

Le espressioni booleane ricavate dalle Mappe di Karnaugh sono (i letterali complementati sono sottolineati>):

	\ x1 x0				
y1 y0\		00	01	11	10
00		0	0	1	1
01		0	1	1	1
11		x	x	x	x
10		1	1	1	1

$z3 = y1 + x1 + y0x0$

	\ x1 x0				
y1 y0 \		00	01	11	10
00		0	0	1	0
01		0	0	1	0
11		x	x	x	x
10		0	0	1	1

$z2 = x1 x0 + y1 x1$

$y_1 y_0 \backslash x_1 x_0$	00	01	11	10	10				
00	0	0	0	1	<table border="1"> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> </tr> </table>	0	0	1	0
0	0	1	0						
01	0	0	1	0					
11	x	x	x	x					
10									

$$z_1 = y_1 x_1 x_0 + y_0 x_1 x_0 + \underline{y_1} \underline{y_0} x_1 \underline{x_0}$$

$y_1 y_0 \backslash x_1 x_0$	00	01	11	10	
00	0	0	1	0	$z_0 = y_1 x_0 + \underline{y_0} x_1 x_0 + y_0 x_1 \underline{x_0}$
01	0	0	0	1	
11	x	x	x	x	
10	0	1	1	0	

$y_1 y_0 \backslash x_1 x_0$	00	01	11	10	10				
00	0	1	0	0	<table border="1"> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> </table>	0	0	0	0
0	0	0	0						
01	1	0	0	0					
11	x	x	x	x					
10									

$$D_1 = y_0 \underline{x_1} \underline{x_0} + \underline{y_1} \underline{y_0} \underline{x_1} x_0$$

\ x1 x0	00	01	11	10
y1 y0 \				
00	1	0	0	0
01	0	0	0	1
11	x	x	x	x
10	0	0	0	0

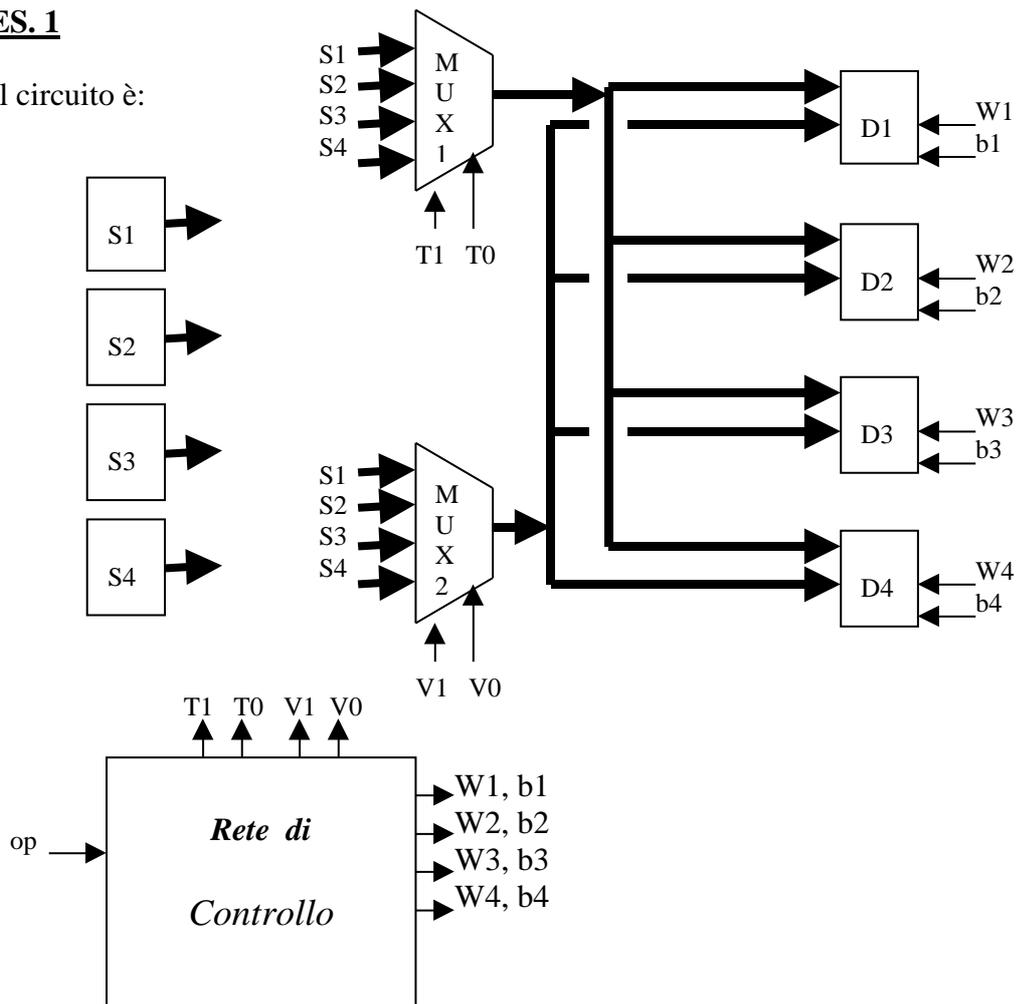
$D0 = \underline{y1} \underline{y0} \underline{x1x0}$

Il disegno del circuito è immediato.

SOLUZIONI es B:

ES. 1

Il circuito è:



In base all'operazione richiesta (come specificato dal bit op) la rete di controllo selezionerà il registro mittente per ognuno dei due bus (in uscita dai due multiplexer) tramite i segnali di controllo T_i e V_i . Inoltre, abiliterà alla scrittura gli opportuni registri destinazione ($W_i = 1$ abilita alla scrittura il registro D_i), settando opportunamente il bit di selezione del bus. Effettuiamo le seguenti associazioni:

- $b_i = 0$ seleziona il bus uscente da MUX_1
- $b_i = 1$ seleziona il bus di MUX_2
- i registri sorgente sono riferiti come segue: S1 corrisponde a 00, S2 a 01, S3 a 10 e S4 a 11
- l'operazione (a) corrisponde a $op = 0$
- l'operazione (b) corrisponde a $op = 1$

Da ciò la tabella che descrive il funzionamento del circuito è:

op	$T1$	$T0$	$V1$	$V0$	$W1$	$W2$	$W3$	$W4$	$b1$	$b2$	$b3$	$b4$
0	0	0	0	1	1	1	1	1	0	0	1	0
1	1	0	1	1	0	0	1	1	-	-	0	1

Si noti che il bit di selezione del bus è irrilevante se il registro non è abilitato alla scrittura.

Le EB booleane associate sono le seguenti:

$$\begin{aligned}
 T1 = V1 = b4 = op & & W1 = W2 = b3 = \overline{op} \\
 T0 = b1 = b2 = 0 & & V0 = W3 = W4 = 1
 \end{aligned}$$

da cui la rete di controllo.

Nella rete con uniche destinazioni i registri D1 e D2, il trasferimento (b) sarebbe ancora lecito mentre il trasferimento (a) no: infatti, nel primo caso non ci sono conflitti poiché registri sorgente e destinazione sono disgiunti, mentre nel secondo caso c'è conflitto sul registro D2 che dovrebbe ricevere in input contemporaneamente il dato proveniente da S1 e da S2.

ES. 2

Le EB booleane per il circuito sono:

$$S = Q1 \overline{x} \quad R = x \quad T = x \quad Q0 \quad Z = x Q0$$

da cui la tabella degli stati futuri è:

x	$Q1$ (t)	$Q0$ (t)	S (t)	R (t)	T (t)	$z(t)$	$Q1$ ($t+1$)	$Q0$ ($t+1$)
0	0	0	0	0	0	0	0	0
0	0	1	0	0	1	0	0	0
0	1	0	1	0	0	0	1	0
0	1	1	1	0	1	0	1	0
1	0	0	0	1	1	0	0	1
1	0	1	0	1	0	1	0	1
1	1	0	0	1	1	0	0	1
1	1	1	0	1	0	1	0	1

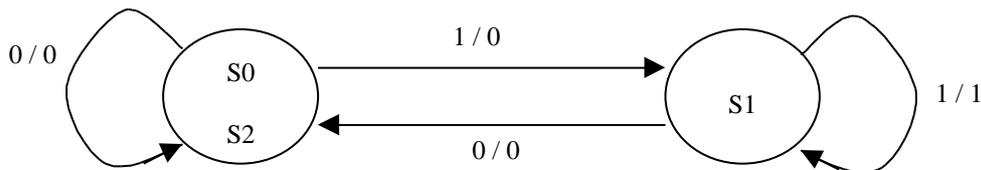
Da ciò si ricava la tabella dell'automa (i cui stati sono chiamati come al solito S0 se Q1Q0 = 00, S1 se 01, S2 se 10 e S3 se 11) con stato iniziale S0.

	0	1
S0	S0/0	S1/0
S1	S0/0	S1/1
S2	S2/0	S1/0
S3	S2/0	S1/1

Osserviamo subito che S3 è irraggiungibile con stato iniziale S0; la minimizzazione è come segue:

S1	X	
S2		X
	S0	S1

da cui l'automa minimo è



L'automa restituisce 1 se rileva almeno due '1' di fila, cioè se all'istante t e all'istante t-1 ha ricevuto in input '1'. Per realizzarne il circuito corrispondente basterà quindi un solo FF di tipo D e la tabella degli stati futuri sarà

x	Q	z(t)	Q(t+1)	D(t)
(t)				
0	0	0	0	0
0	1	0	0	0
1	0	0	1	1
1	1	1	1	1

Le EB associate sono: $D = x$ e $z = xQ$
da cui

